

RS
2

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : Akira SHIMAMURA, et al.

Filed : Concurrently herewith

For : INTERFACE APPARATUS

Serial No. : Concurrently herewith



January 19, 2001

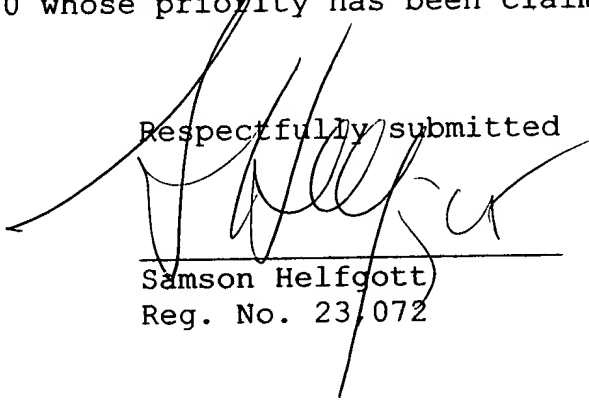
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith are Japanese patent application No.
2000-117886 of April 19, 2000 whose priority has been claimed in
the present application.

Respectfully submitted



Samson Helfgott
Reg. No. 23,072

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUSA 18.248
BHU:priority

Filed Via Express Mail
Rec. No.: EL522394250US
On: January 19, 2001
By: Brendy Lynn Belony

Any fee due as a result of this paper,
not covered by an enclosed check may be
charged on Deposit Acct. No. 08-1634.

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC760 U.S. PTO
09/766001



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 4月19日

出願番号
Application Number:

特願2000-117886

願人
Applicant(s):

富士通株式会社

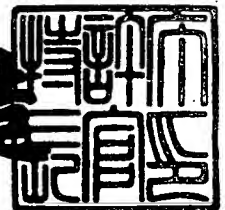
CERTIFIED COPY OF
PRIORITY DOCUMENT

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年10月20日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3085513

【書類名】 特許願

【整理番号】 9952121

【提出日】 平成12年 4月19日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 11/20

【発明の名称】 インタフェース装置

【請求項の数】 14

【発明者】

 【住所又は居所】 神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ
 ィジタル・テクノロジ株式会社内

 【氏名】 島村 彰

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
 株式会社内

 【氏名】 内田 義弘

【発明者】

 【住所又は居所】 神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ
 ィジタル・テクノロジ株式会社内

 【氏名】 安達 誠

【発明者】

 【住所又は居所】 神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ
 ィジタル・テクノロジ株式会社内

 【氏名】 床井 義之

【発明者】

 【住所又は居所】 神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ
 ィジタル・テクノロジ株式会社内

 【氏名】 森 浩利

【発明者】

 【住所又は居所】 神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ

ィジタル・テクノロジー株式会社内

【氏名】 山下 一元

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100084711

【弁理士】

【氏名又は名称】 齋藤 千幹

【電話番号】 043-271-8176

【手数料の表示】

【予納台帳番号】 015222

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704946

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 インタフェース装置

【特許請求の範囲】

【請求項 1】 デジタル伝送路より受信したオーバーヘッドとペイロードを有するフレームをATMセルに変換してATM網に送出し、ATM網から受信したATMセルを用いてフレームを組み立ててデジタル伝送路に送出する通信網におけるインタフェース装置において、

前記フレームに多重された低速ビットレートのデータブロックの先頭位置を示すオーバーヘッドデータと前記ペイロードを含むフレーム部分をセル化範囲と定め、該セル化範囲を特定する信号を発生するセル化範囲特定手段、

セル化範囲の所定位置を基準位置とするとき、該基準位置を特定するポインタを作成するポインタ作成部、

前記セル化範囲特定信号に基づいてセル化範囲のデータをセル化すると共に、前記ポインタを所定のセルに含ませるセル化手段、

を備えたことを特徴とするインタフェース装置。

【請求項 2】 ATMセルをAALタイプ1のセルとするとき、SAR-PDUヘッダを作成するヘッダ作成部を備え、

前記セル化手段は、(1) ポインタが存在すれば、第1番目にSAR-PDUヘッダ、第2番目にポインタ、以降にセル化範囲のデータを配列して1セルのペイロード部を作成し、(2) ポインタが存在しなければ、第1番目にSAR-PDUヘッダ、第2番目以降にセル化範囲のデータを配列して1セルのペイロード部を作成する、

ことを特徴とする請求項 1 記載のインタフェース装置。

【請求項 3】 前記ポインタ作成部は、

前記セル化範囲内のバイト数をM、前記基準位置をセル化範囲の先頭バイトとするとき、前記セル化範囲特定信号の発生により(M-1)にプリセットされ、以後、セル化範囲の期間に発生するバイトタイミング信号をカウントダウンし、サイクリックに(M-1)~0を出力するダウンカウンタ、

セルペイロード内のオクテット位置を監視するオクテット位置監視部、

8セルで1サイクルを構成するとき、セルペイロードの先頭オクテット位置でカ

ウントアップしてシーケンスカウンタSC=0~7を出力するシーケンスカウンタ監視部、

セルペイロードが先頭オクテット位置であり、かつ、シーケンスカウンタが偶数であり、更に、ダウンカウンタの計数値が所定範囲（93~0）のとき、該計数値をポインタとするポインタ決定部、

を備え、前記セル化手段は該ペイロードの第2オクテット位置に前記決定したポインタを配置することを特徴とする請求項2記載のインタフェース装置。

【請求項4】 前記ポインタ決定部は、1サイクルの8つの何れかのセルに必ずポインタを配置するものとし、1サイクルのいずれのセルにも前記真のポインタを配置できなければ、SC=6のセルをP-フォーマットセルとみなし、該セルのペイロード第2バイトに偽ポインタを配置することを特徴とする請求項3記載のインタフェース装置。

【請求項5】 ATM網より受信したAALタイプ1のセルペイロード部をバッファ書き込み用クロックに同期して格納し、バッファ読み出し用クロックに同期して読み出す受信バッファ、

受信バッファから読出されたペイロード部よりポインタを検出する検出部、

ポインタが検出されれば、該ペイロード部の第3バイト以降のデータを出力し、ポインタが検出されなければ該ペイロードの第2バイト以降のデータを出力するセレクタ手段、

フレームの全バイト数をRとすると、真のポインタ検出時に[R-1-ポインタ]がプリセットされ、以後、バイトタイミング信号をカウントアップし、サイクリックに0~(R-1)を出力するフレームカウンタを備え、計数値がセル化範囲の基準位置に相当する値になったとき、セル化範囲先頭位置信号を出力する制御部、

セル化範囲先頭位置信号に基づいて前記セレクタ手段から出力するデータを用いてフレームを組み立てて出力するフレーム組立部、

を備えたことを特徴とする請求項4記載のインタフェース装置。

【請求項6】 デジタル伝送路より受信したオーバーヘッドとペイロードを有するフレームをAALタイプ1のATMセルに変換する際、フレームに多重された低速ビットレートのデータブロックの先頭位置を示すオーバーヘッドデータと前記ペ

イロードを少なくともセル化範囲と定め、該セル化範囲の所定位置を基準位置とすると、該基準位置を特定するポインタを所定のセルに含ませ、1 サイクル($SC=0\sim 7$)の 8 つのいずれのセルにも真のポインタを配置できなければ、 $SC=6$ のセルをP-フォーマットセルとみなし、該セルに偽ポインタを配置してATM網に送出し、ATM網から受信したAALタイプ1セルでフレームを組み立ててデジタル伝送路に送出する通信網におけるインタフェース装置において、

ATM網より受信したAALタイプ1のセルペイロード部をバッファ書き込み用クロックに同期して格納し、バッファ読み出し用クロックに同期して読み出す受信バッファ、

受信バッファから読出されたペイロード部よりポインタを検出する検出部、

ポインタが検出されれば、該ペイロード部の第3バイト以降のデータを出力し、ポインタが検出されなければ該ペイロードの第2バイト以降のデータを出力するセクタ手段、

フレームの全バイト数をRとすると、真のポインタ検出時に[R-1-ポインタ]がプリセットされ、以後、バイトタイミング信号をカウントアップし、サイクリックに0～(R-1)を出力するフレームカウンタを備え、計数値が前記基準位置に相当する値になったとき、セル化範囲基準位置信号を出力する制御部、

セル化範囲基準位置信号に基づいて前記セクタ手段から出力するデータを用いてフレームを組み立てて出力するフレーム組立部、

を備えたことを特徴とするインタフェース装置。

【請求項7】 (1) セルペイロードの先頭に配置されているSAR-PDUヘッダのCRCチェック、パリティチェックに基づいて該SAR-PDUヘッダの有効/無効を判定すると共に、(2) 該判定結果とシーケンスカウントSCの連続性に基づいてセルの紛失/誤挿入を検出するセル判定手段、

SAR-PDUヘッダに前記有効/無効判定結果を示すフラグとセル紛失によりダミーセルが挿入されたか否かを示すフラグを書き込む手段、

前記セル判定結果に基づいて、ATM網から受信したセルペイロードあるいはダミーセルペイロードに前記フラグが書き込まれたSAR-PDUヘッダを付加して前記受信バッファに入力する手段、

を備え、前記ポインタ検出部は、

前記セル化範囲内のバイト数をM、前記基準位置をセル化範囲の先頭バイトとすると、真のポインタ検出によりポインタ値がプリセットされ、以後、セル化範囲の期間に発生するバイトタイミング信号をカウントダウンし、サイクリックに(M-1)～0を出力するダウンカウンタ、

着目セルがシーケンスカウンタSC=偶数のセルあり、セルペイロードの先頭オクテットタイミングで前記ダウンカウンタのカウント値が所定範囲(0～93)であり、着目セルの前記フラグが無効あるいはダミーセル挿入を示しており、1サイクルにおいて未だP-フォーマットセルが検出できていないとき、該着目セルをP-フォーマットセルと判定するp-フォーマットセル判定手段、

真のポインタを検出するポインタ検出手段、

を備えたことを特徴とする請求項6記載のインタフェース装置。

【請求項8】 前記p-フォーマットセル判定手段は、

着目セルがシーケンスカウンタSC=6のセルあり、着目セルの前記フラグが無効あるいはダミーセル挿入を示しており、1サイクルにおいて未だP-フォーマットセルが検出できていないとき、該着目セルをP-フォーマットセルと判定することを特徴とする請求項7記載のインタフェース装置。

【請求項9】 前記ポインタ検出手段は、着目セルがシーケンスカウンタSC=偶数のセルあり、SAR-PDUヘッダのCSIビットが"1"であり、セルペイロードの先頭オクテットのタイミングで前記ダウンカウンタのカウント値が所定範囲(0～93)であるとき、該着目セルのポインタを真のポインタであると判定することを特徴とする請求項7記載のインタフェース装置。

【請求項10】 (1) セルペイロードの先頭に配置されているSAR-PDUヘッダのCRCチェック、パリティチェックに基づいて該SAR-PDUヘッダの有効/無効を判定すると共に、(2) 該判定結果とシーケンスカウンタSCの連続性に基づいてセルの紛失/誤挿入を検出するセル判定手段、

SAR-PDUヘッダに前記有効/無効判定結果を示すフラグとセル紛失によりダミーセルが挿入されたか否かを示すフラグを書き込む手段、

前記セル判定結果に基づいて、ATM網から受信したセルペイロードあるいはダ

ミーセルペイロードに前記フラグが書き込まれたSAR-PDUヘッダを付加して出力する手段、

出力手段から出力するAALタイプ1のセルペイロードを1サイクル分記憶する記憶部、

記憶された1サイクルのセルを検査し、(1) P-フォーマットセルが紛失している時、シーケンスカウンタSC=偶数で、フラグが無効あるいはダミーデータ挿入を示しているセルをP-フォーマットセルと判定し、(2) 該セルのCSIビットを"1"にし、偽ポインタを挿入するp-フォーマットセル判定手段、

を備え、前記検査後にAALタイプ1のセルペイロードを前記受信バッファに書き込むことを特徴とする請求項6記載のインタフェース装置。

【請求項11】 前記p-フォーマットセル判定手段は、

記憶された1サイクルのセルを検査し、P-フォーマットセルが2以上存在する時、フラグが有効で、かつ、ダミーデータ非挿入を示しているセルをP-フォーマットセルと判定する、

ことを特徴とする請求項10記載のインタフェース装置。

【請求項12】 (1) セルペイロードの先頭に配置されているSAR-PDUヘッダのCRCチェック、パリティチェックに基づいて該SAR-PDUヘッダの有効/無効を判定すると共に、(2) 該判定結果とシーケンスカウンタSCの連続性とに基づいてセルの紛失/誤挿入を検出するセル判定手段、

SAR-PDUヘッダに前記有効/無効判定結果を示すフラグとセル紛失によりダミーセルが挿入されたか否かを示すフラグを書き込む手段、

前記セル判定結果に基づいて、ATM網から受信したセルペイロードあるいはダミーセルペイロードに前記フラグが書き込まれたSAR-PDUヘッダを付加して前記受信バッファに入力する手段、

受信バッファから読出されたAALタイプ1のセルペイロードを1サイクル分記憶する記憶部、

記憶された1サイクルのセルを検査し、(1) P-フォーマットセルが紛失している時、シーケンスカウンタSC=偶数で、フラグが無効あるいはダミーセル挿入を示しているセルをP-フォーマットセルと判定し、(2) 該セルのCSIビットを"1"に

し、偽ポインタを挿入する p-フォーマットセル判定手段、

を備え、前記検査後の AALタイプ1のセルペイロードを前記ポインタ検出部及びセレクタに入力することを特徴とする請求項6記載のインタフェース装置。

【請求項13】 前記 p-フォーマットセル判定手段は、

記憶された1サイクルのセルを検査し、P-フォーマットセルが2以上存在する時、フラグが有効で、かつ、ダミーデータ非挿入を示しているセルをP-フォーマットセルと判定する、

ことを特徴とする請求項12記載のインタフェース装置。

【請求項14】 前記 AALタイプ1のセルペイロードを検査し、1サイクルに P-フォーマットセルが検出できない場合には、SC=6のセルをP-フォーマットセルと判定し、該セルの CSIビットを"1"にし、偽ポインタを挿入する p-フォーマットセル判定手段、

を備え、検査後の AAL1タイプ1のセルペイロードを前記受信バッファに書き込むことを特徴とする請求項6記載のインタフェース装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はサーキットエミュレーション機能を備えたインタフェース装置に係わり、特に、STS-N(Nは整数)等のデジタル伝送網と ATM網間に設けられ、デジタル伝送網のフレームデータ(例えば STS-3データ)のうち不要な部分を削除し、必要なデータ部分のみセル化して ATM網に送出し、ATM網から受信したセルよりデジタル伝送網のフレームフォーマット(STS-3フレームフォーマット)に組み立ててデジタル伝送網に送出するインタフェース装置に関する。

【0002】

【従来の技術】

SONET系の光伝送路で構成される専用サービス網は図30に示すように、DS3や STS-3, STS-12などの各端末CPE間を多重/分離装置MDX、デジタルクロス接続システムDCCS(digital cross connect system)を介して光伝送路で接続して通信するようになっている。専用サービス網は通常の電話通信網などと異なり、呼

接続処理や呼切断処理が不要であり、ネットワークの出入口が半固定的に決まっている。DCCSは方路切換、多重/分離、フレームの挿入/抽出(add/drop)などの機能を有しているが、交換機のようにダイナミックにルーティングする機能を有していない。このため、従来の専用サービス網では網のメンテナンスにおいて問題があった。例えば、(1) 特定の伝送路の品質が劣化し、あるいは障害が発生して他の経路を使って端末間の方路を張り替えたい場合、(2) 特定の方路のトラフィックが高くなってネットワークを増設した場合、網の張替、増設が容易に行えない問題があった。

【0003】

【発明が解決しようとする課題】

以上より、DCCSをATM交換機で置き換えて、センタより直接指示、設定することにより、網の張替、増設が行える専用サービス網が要望されている。図31はOC3のDCCSをATM交換機に置き換える場合の概念図である。OC3のDCCSをATM交換機に置き換えるには、スイッチ部ATM-SW、制御部CNTLの他に、OC3のSONET光伝送路をATMスイッチにインターワーキングするインタフェース装置(STS-3 CES) INF1~INF4が各伝送路に必要である。各インタフェース装置INF1~INF4は回路エミュレーション(CE:Circuit Emulation)機能を備えておりインタフェース装置INF1~INF2は光伝送路から受信したSTS-3のフレームデータをATMセルに変換し、インタフェース装置INF3~INF4はATMセルをSTS-3のフレームフォーマットに組み立てて光伝送路に送出する。

このようなインタフェース装置にはSTS-N(Nは整数)のフレームデータをATMセルに変換する場合、伝送帯域が小さくなるように変換してATM網に送出し、しかも、受信したセルより元のSTS-Nフレームフォーマットのデータを組み立ててデジタル伝送路へ送出できるようにする必要がある。これが本発明の第1の機能である。

【0004】

ところで、ATM網よりセルを受信してフレームフォーマットに組み立てて光伝送路に送信するインタフェース装置には、

- (1) クロック乗せ替え

(2) セル到着揺らぎの吸収

という2つの目的のために所定容量の受信バッファが配置される。この受信バッファに、①ATMセルの到着間隔が想定されるだけ空いたとしても受信バッファが空にならず、②ATMセルの到着間隔が想定されるだけ詰まったとしても受信バッファが溢れないように、イニシャルフィルレベル(以下IFL)が設定される。この、IFLレベルが変動して、受信バッファにスタベーション(Starvation)やオーバーフローが発生すると、情報の連続性を保持できなくなったり、セル廃棄が発生する。したがって、IFLレベルがセル紛失、誤セル挿入、セル化け等が発生しても変動しないように制御し、受信バッファにスタベーション(Starvation)やオーバーフローが発生しないようにする必要である。

【0005】

以上から本発明の目的は、伝送帯域が小さくなるようにSTS-N(Nは整数)のフレームデータをATMセルに変換でき、しかも、受信セルよりSTS-Nフレームフォーマットを組み立てることができるようにすることである。

本発明の別の目的は、P-format cell(P-フォーマットセル)が紛失しても、再生データが大量に失われないようにでき、しかも、受信バッファに設定したイニシャルフィルレベルIFLがセル紛失、誤セル挿入、セル化け等により変動しないようにしてスタベーションやオーバーフローが発生しないようにすることである。

【0006】

【課題を解決するための手段】

(1) 本発明では、①フレームに多重された低速ビットレートのデータブロックの先頭位置を示すオーバヘッドデータ(ポインタ)とペイロードを含むフレーム部分をセル化範囲と定め、②セル化範囲の所定位置を基準位置とするとき、該セル化範囲のデータをセル化すると共に、③前記基準位置を特定するポインタを所定のセルに含ませる。以上のようにすれば、オーバヘッドは後で必要になる部分のみセル化するだけで良いため、伝送情報量を少なくでき伝送帯域を小さくできる。又、フレームにおけるセル化範囲の所定位置(例えば先頭位置)を特定するポインタをセルに含ませるため、受信側インタフェース装置は該ポインタを参照して受信セルよりフレームを組み立てることができる。

【0007】

(2) 又、本発明では、ATM網より受信したAALタイプ1のセルペイロード部をATM網のクロックに同期して受信バッファに格納し、デジタル伝送路側のクロックに同期して受信バッファより読み出すことによりクロックの乗せ替えを行う。又、受信バッファから読出されたセルペイロードよりポインタを検出し、ポインタに基づいてセル化範囲先頭位置を識別し、このセル化範囲先頭位置に基づいて受信バッファから出力するデータを用いてフレームを組み立てる。以上のようにすれば、インタフェース装置は、ポインタに基づいてフレームにおけるセル化範囲、フレームにおける各バイト位置を認識できるため、受信バッファより出力するデータより元のフレームを組み立てることができる。

【0008】

(3) 又、本発明では、ポインタ検出により次のポインタが出現するタイミングを予測し、予測したタイミングにおいてp-フォーマットセルが出現せず、該タイミングにおけるセルがinvalid(無効)セルあるいはダミーセルであれば、該セルをP-フォーマットセルと判定する。又、着目セルがシーケンスカウンタSC=6のセルあり、かつ、invalid(無効)セルあるいはダミーセルであり、しかも、(SC=0~7)の間に未だP-フォーマットセルが検出されていない場合に該着目セルをP-フォーマットセルと判定する。

以上のようにすれば、セル紛失、セル化け等によりP-フォーマットセルが紛失してもP-フォーマットセルを生成することができ、受信バッファに設定したインシヤルフィルレベルIFLが変動しないようにでき、スタベーションやオーバフローが発生しないようにできる。

【0009】

又、ポインタ検出により次のポインタ出現タイミングを予測し、予測したタイミングでP-formatセルが紛失した時、該タイミングに基づいて所定のセルをP-formatセルと判定するため、P-formatセル判定精度を向上できる。このため、1サイクル(SC=0~7)毎に正しくp-formatセルを推定でき、P-formatセルをnon p-formatセルと判断したり、non p-formatセルをP-formatセルと判断して受信バッファのレベルIFLが変動するのを防止でき、しかも、P-formatセルが紛失して

も、所定のセルをP-formatセルと推定するためP-formatセル 紛失により再生データが大量に失われることがない。

【 0 0 1 0 】

(4) 又、本発明では、P-formatセルが紛失したとき、P-formatセルである可能性の高いセル(ダミーセル、invalid cell)をP-formatセルと推定する。このため、1サイクル(SC=0~7)毎に正しく p-formatセルを推定できるため受信バッファのレベルIFLが変動するのを防止でき、しかも、P-formatセルが紛失しても、所定のセルをP-formatセルと推定するためP-formatセル 紛失により再生データが大量に失われることがない。

【 0 0 1 1 】

(5) 又、本発明では、1サイクル毎に順次SC値偶数セルがP-formatセルであるかチェックし、P-formatセルが紛失したとき、SC=6のセルをP-formatセルであると推定する。このようにすれば、簡単な構成でP-formatセルを推定でき、STS-3、ATM網における帯域の一致を確保することができる。

【 0 0 1 2 】

【発明の実施の形態】

(A) 本発明の概略

(a) フレームフォーマット

本発明は一般にSTS-Nフレーム(N:integer)の場合にも適用できるが以下ではSTS-3フレームに適用する場合について説明する。

図1はSTS-3のフレームフォーマット説明図である。155.52MbpsのSTS-3フレームは50Mbpsの3つのSTS-1フレームを多重し、それにオーバーヘッドを付加したもので、9×270バイトで構成されている。最初の9×9はオーバーヘッド部OH、残りの9×261はペイロードSPEで、オーバーヘッドはセクションオーバーヘッドSH、ラインオーバーヘッドLH及び9バイトのポインタPTで構成されている。セクションオーバーヘッドSHはフレーム同期信号や中継セクションの誤り監視信号を伝送する部分であり、ラインオーバーヘッドLHは多重セクションの誤り監視信号、多重セクションの状態信号(AIS/FERF;Alarm Indication signal/Far End Receive Failure)を伝送する部分であり、ポインタPTは多重した3つのSTS-1フレームの先頭位置を示すも

ので、STS-1に分離する際に使用する。

【0013】

(b) セル化範囲

かかるSTS-3フレームデータをATMセルに変換して伝送する場合、伝送帯域を小さくし、かつ、受信側で受信セルより元のSTS-3フレームデータを構築できるようにする必要がある。伝送帯域を小さくするには送出するデータ部分を少なくすることである。そこで、STS-3フレーム構造を考慮し、相手の網に不要な部分を削除し、真に必要な部分のみセル化することで情報量の圧縮を図る。図2はSTS-3フレームのセル化範囲説明図であり、セル化範囲には以下の4種類がある。

(1) 第1のセル化範囲(No.1)ではペイロードSPEのみ伝送する。この第1のセル化範囲によれば、伝送帯域を小さくできる。しかし、もれなく送るには、path layerを終端し、3つのSTS-1フレームに分解し、3本のコネクションで伝送する必要がある。又、STS-1 SPE levelに定常偏差がある場合、asynchronous clockingを行う必要がある。

【0014】

(2) 第2のセル化範囲(No.2)ではポインタPTとペイロードSPEを伝送する。この第2のセル化範囲によれば、1本のコネクションで伝送ができ、また、synchronous clocking による伝送ができ、更には伝送帯域も比較的小さくできる。

(3) 第3のセル化範囲(No.3)ではポインタPT、ラインオーバーヘッドLH、ペイロードSPEを伝送する。この第3のセル化範囲によれば、1本のコネクションで伝送ができ、また、synchronous clocking による伝送ができるが、ラインオーバーヘッドLHを伝送するため、第2のセル化範囲に比べて伝送帯域が広くなる。

(4) 第4のセル化範囲(No.4)ではフレームデータの全て(ポインタPT、セクションオーバーヘッドSH、ラインオーバーヘッドLH、ペイロードSPE)を伝送する。この第4のセル化範囲によれば、1本のコネクションで伝送ができ、また、synchronous clocking による伝送ができるが、セクションオーバーヘッドSH、ラインオーバーヘッドLHを伝送するため、第2のセル化範囲に比べて伝送帯域が広くなる。

以上の4つのセル化範囲を考察すると、第2のセル化範囲が最も良い。このため、本発明では図3に示すように第2のセル化範囲で示す斜線部分（ポインタPT、ペイロードSPE）をセル化して伝送し、伝送情報量の圧縮を図る。なお、ユーザよりsection layer 及びline layerは終端することが要求されているため、これらセクションオーバーヘッドSH、ラインオーバーヘッドLHを削除しても何ら問題は生じない。

【0015】

（c）構造化データの境界識別法

図3に示すようにSTS-3フレームデータをセル化して伝送した場合、ATM網出口のインタフェース装置で受信セルより元のSTS-3フレームデータを組み立て可能としなければならない。このために、STS-3フレームにおけるセル化範囲の基準位置、例えば、ペイロード SPEの最初のバイト位置(第1行、第10列)TOPを受信側が認識できるようにしなければならない。そこで、本発明ではATMセルとしてAALタイプ1(ATM Adaptation Layer type 1)のセルを使用し、AALタイプ1セルのSDTポインタ(Structured data transfer pointer)でセル化範囲の基準位置 TOPを指示する。このようにすれば、セル受信側のインタフェース装置は、AALタイプ1セルのSAR-PDUヘッダに含まれる CSIビットによりSDTポインタが含まれるセルを認識し、該セルのSDTポインタに基づいて基準位置TOPを認識して元のSTS-3フレームデータを組み立てることができる。ただし、セクションオーバーヘッドSH及びラインオーバーヘッドLHは独自に作成してSTS-3フレームフォーマットに挿入する。

【0016】

図4はAALタイプ1(AAL1)のATMセルのフォーマット説明図であり、図5は1バイトのSAR-PDUヘッダのフォーマット説明図である。AAL1セルの最初の5バイトはATMヘッダ、残りの48バイトはセルペイロード(情報フィールド)であり、情報フィールドは1バイト長のSAR-PDU(PDU: Protocol Data Unitの略)ヘッダと47バイト長のSAR-PDUペイロードとから構成されている。SAR-PDUペイロードはユーザデータを転送するために使用され、SAR-PDUヘッダは図5に示すように4ビットのSN (Sequence Number)フィールドと4ビットのSNP (Sequence Number Protection)フィールドで構成されている。

【 0 0 1 7 】

SNフィールドは2つのサブフィールドのCSI (Convergence Sublayer Identifier)とSC (Sequence Count) に分割され、SNPフィールドも2つのサブフィールドのCRC (Cyclic Redundancy Check)とEPB (Even Parity Bit)に分割される。SCはセルを0～7の循環数(0,1,...,7,0,1,...,7,1,...)でカウントするもので、このSCによりセルの順番を監視し、セルの紛失、誤セル挿入等を検出することができる。CRCとEPBによりSNフィールドのエラー検出及び訂正を行う。CRCはSNに対する多項式($G(X) = X^3 + X + 1$)による値であり、EPBはSAR-PDUヘッダの偶数パリティビットである。CSIビットはAAL1のCS (Convergence Sublayer)の機能であり、ユーザクロックのタイミング情報の伝送と再生及びSDTポインタの転送に使用する。

【 0 0 1 8 】

ユーザクロックのタイミング情報の伝送と再生はSRTS(synchronous residual time stamp)法による。このSRTS法において、ユーザクロックのタイミング情報はRTS (Residual Time Stamp)とよばれる4ビット情報(RTS4, RTS3, RTS2, RTS1)によって構成される。RTS情報は図6に示すように8セル毎にCSIビットによって転送される。すなわち、8個のAAL1セル(SC=0～7)でマルチフレーム(1サイクル)が構成される。CSIはSC値の0～7に対応して8ビット構成(CSI₀～CSI₇)となっており、SC値=1,3,5,7のATMセルのCSIビット(CSI₁, CSI₃, CSI₅, CSI₇)によって4ビットのRTS情報RTS1～RTS4が伝送される。この4ビットのRTS情報RTS1～RTS4は、4ビットカウンタで網クロックをサイクリックに計数すると共に、送信側のクロックを1/3008に分周し、分周パルスが発生した時の4ビットカウンタの計数値である。このRTS情報を送信することにより、セル受信側で送信側クロックに同期したクロックを生成し、該クロックに同期してデータを端末に送出できる。尚、3008は8個のATMセルにおけるユーザデータのビット数(=8セル×47バイト×8ビット)である。

【 0 0 1 9 】

SDTポインタは、 $n \times 64\text{kbps}$ (STS-3では $n = 9 \times 270 = 2430$)の構造化データを転送する際、構造化データの境界(例えばフレーム先頭)を記述するものである。図7

に示すように、SC値偶数セル(SC値が0、2、4、6のセル)のCSI表示("1","0")によって2種類のフォーマット(P-format:ポインタ有り、non P-format:ポインタ無し)がある。CSI="1"のP-formatであればセルのSAR-PDUの最初のバイト位置(ポインタフィールド)の値がSDTポインタであり、残りの46バイトがユーザ情報になる(図7(a))。このポインタは、ポインタフィールドの終わりから構造化データの境界(フレーム先頭位置)までのオフセットをバイト単位で2進表示した内容が設定される。オフセットの範囲は、このセルのSAR-PDUの残りの46バイトと次のセル(すなわち奇数SNを持つセル)のSA-PDUペイロードの47バイトまでであり、0~93の値を設定できる。図7(a)は構造化データの境界がSC値偶数セルの内に存在する場合を示し、図7(b)は構造化データの境界がSC値奇数セル内に存在する場合を示す。

【0020】

以上により、本発明によれば、(1) STS-3フレームデータをATMセルに変換して伝送する場合、AAL1セル化範囲を図3の斜線部分としたから伝送帯域を小さくでき、(2) しかも、AAL1のSDTポインタを用いてセル化範囲の基準位置を特定するようにしたから、ATM出口側のインタフェース装置で受信セルより元のSTS-3フレームデータを再構築することができる。ただし、セクションオーバーヘッド、ラインオーバーヘッドは独自に生成する。すなわち、本発明によれば、SDTポインタを使用し、圧縮データの先頭位置を情報としてATMセルに乗せる事により、既存網のSTS-Nフォーマットを維持した上に必要帯域(情報量)の圧縮ができる。

【0021】

(d) 受信バッファのレベル一定制御の必要性

ATMセル受信側のインタフェース装置内には受信したユーザ情報を蓄積する受信バッファが設けられる。この受信バッファは

- 1) クロックのせ替え
- 2) セル到着揺らぎの吸収

という2つの目的のために配置するプレイアウトバッファである。プレイアウトバッファは基本的にはFIFOであるが、イニシャルフィルレベル(以下IFL)というパラメータを持ち、バッファ内にIFLレベルだけのデータが溜るまで読み出しを行

なわない。受信バッファでは、一般的にATM交換機内のデータハイウェイクロックから回線のクロックへのクロックのせ替えが行なわれる。ATM交換機内は普通回線速度よりも高速な共通のクロックで動作しており、そのままでは回線へのデータ送出はできないからである。このとき、回線クロックの高低はATMセル転送間隔となって現れる。

【0022】

一方、ATMネットワーク内でATMセルが転送されるとき、一定間隔でATMセルを送信したとしても、受信側での到着間隔は通常一定とならない。これは、ATMセルのスイッチングが回線交換のような固定スロット多重を基本とするものではなく、統計多重を行なうためである。すなわち、統計多重では各回線の転送帯域は確率的に存在するため、ATMスイッチで付加される遅延はセル毎に異なる値となるためである。セルに付加される遅延量の揺らぎ量をCDV(Cell Delay Variation)という。CDV値は、ATMコネクションのサービス種別・クラス種別などに応じて許容値を定めそれに収まるよう品質制御を行なう。従って、受信バッファに到着するセルの間隔をみると、それは一定の範囲内で揺らぐことになる。しかし、比較的長い期間でみれば、セルの到着頻度は回線レートから決まる値である。

【0023】

受信バッファのイニシャルフィルレベルIFLは、想定される(許容される)CDVを吸収できるだけの値に設定する。すなわち、

- ・ATMセルの到着間隔が想定されるだけ空いたとしてもが空にならず、
- ・ATMセルの到着間隔が想定されるだけ詰まったとしてもが溢れない、

という値とする。つまり、空からIFLレベルまでの余裕でセルの到着間隔の空きに耐え、IFLレベルからバッファ最大容量までの余裕でセルの到着間隔が詰まることに耐える。

通常、受信バッファのセル滞留量はIFLレベルを中心値としてフラフラするが、比較的長い期間の平均の中心値はIFLレベルとなる。想定される(吸収すべき)CDVに対してIFLレベルLを十分大きくし、バッファ深さも十分に深くすればそれだけ余裕が大きくなり想定外のCDVに耐えることが可能であるが、バッファを必要以上に大きくすることはセルのバッファ通過に要する時間を大きくし、ネットワ

ーク伝送のCTD(Cell Transfer Delay)を大きくしてしまうので、IFLレベル、バッファ深さは想定されるCDV吸収のために必要十分なギリギリの値に設定する。

【 0 0 2 4 】

今、セルの転送途中にノイズがのり、P-formatセルがnon P-formatセルに見えてしまったことを考えると、このとき、受信バッファの中心値はIFLレベルより1オクテットだけ大きな値となる。これはP-formatセルの持つユーザデータ領域が46オクテットであるのに対して、non P-formatセルの場合は47オクテットであるためである。逆に何らかの要因でnon P-formatセルがP-formatセルに見えてしまった場合は、受信バッファの中心値はIFLレベルより1オクテットだけ小さな値となる。上記のように、P-formatセル(non P-formatセル)をnon P-formatセル(P-formatセル)と解釈した場合の問題点は、受信バッファのレベルずれを基に戻すようなイベントが発生しないことであり、ズレは発生するたびに蓄積される。P→non P, non P→Pの化けが交互に発生するなら別であるが、そのような偶然に頼れる問題ではない。中心値のずれは、すなわち、CDVに対する耐力の低下となって表れる。想定されるCDVの範囲内であるにもかかわらず、スタベーションやオーバーフローが発生することとなる。

【 0 0 2 5 】

以上より、受信バッファのイニシャルフィルレベルIFLがセル紛失、誤セル挿入、セル化け等が発生しても変動しないように制御し、受信バッファにスタベーションやオーバーフローが発生しないようにする必要がある。本発明では、(1) SC=0~7の1サイクル(図6のマルチフレーム参照)内に必ず1つのp-formatセル(CSI="1"でSC値が偶数のセル)が存在するものとし、又、1サイクル内に構造化データ境界が存在しなければSC=6のセルを強制的にP-formatセルとし、SDTポイント値を=127としている。(2) 更に、本発明では、SNの連続性、CRCチェック/パリティチェックを行って、SNPフィールドにセルの有効/無効表示、ダミーセル表示を付加するようにしている。この結果、1サイクル内にp-formatセルが存在しなければ、無効表示あるいはダミーセル表示が付されたセル(セル紛失時に挿入されるダミーセル)をp-formatセルであると推定でき、又、1サイクル内に2つのp-formatセルが存在すればセル有効表示がなされているセルをp-formatセルである

と推定できる。このように、1 サイクルにおける正しいp-formatセルを推定できるため、P-formatセルをnon p-format セルと判断したり、non p-format セルをP-formatセルと判断することがなくなり、受信バッファのレベルIFLが変動したり、再生データが大量に失われるのを防止できる。

【0026】

(B) ATM網入口側のインタフェース装置

(a) 全体の構成

図8はATM網入口側のインタフェース装置の全体の構成図である。STS-3回線終端部10は、OC3伝送路からSTS-3フレームデータを受信し、フレームのにおけるセル化範囲の基準位置TOP(第1行第10列バイト位置)のタイミングで信号SPETOPを出力すると共に、AAL1セル化範囲(斜線部)内のポインタPT、ペイロードSPEをフレームデータUPDATとして出力する。AAL1セル生成部20は入力するフレームデータUPDATをAAL1セル化すると共に、基準位置TOPを示すSDTポインタを所定AAL1セルに含ませてATM網に送出する。

【0027】

AAL1セル生成部20において、信号作成部(SSRTS)21はSDTポインタ(PTR)、送信RTS信号(RTS)、SCカウント値(SC)、ポインタ作成表示信号(PTREN)等の各種信号を作成し、SAR-PDUヘッダ作成部(SAAL1)22はRTS情報/SCカウント値/ポインタ作成表示信号等を用いてSAR-PDUヘッダ(PDUHDR)を作成し、送信バッファ書き込み制御部(SRWC)23は、適宜SAR-PDUヘッダ(PDUHDR)、SDTポインタ(PTR)、フレームデータ(UPDAT)を選択して送信バッファ書き込みデータ(セルペイロード)SBWDATとして出力する。送信バッファ(SBUF)24はFIFO構成になっており、入力する48バイトのセルペイロードを記憶し、読出し要求により順次出力する。送信バッファ読出し制御部(SBRC)はATMセル作成部からの要求により送信バッファより順次セルペイロードを読出して出力する。ATMセル作成部(ATM)26はセルペイロードに5バイトのATMヘッダを付加してATMセルを作成してATM網に送出する。

【0028】

(b) 各種信号作成部

図9は各種信号作成部21の構成図、図10は各信号のタイムチャートである。信号作成部21には、STS-3回線終端部10より基準位置信号SPETOPと上り側回線のマスタクロック(バイトタイミングパルス)UPCLKが入力し、ATM網よりRTS作成用の155.52Mの網クロックが入力する。

STSカウンタ21aはSTS-3フレーム(図11参照)における2430(=9×270)個の各バイト位置を示すカウンタであり、(1)基準位置信号SPETOPにより数値9がプリセットされ、(2)バイトタイミングパルスUPCLKを計数し、(3)セクションオーバーヘッドSH及びラインオーバーヘッドLHのバイト位置で"1"となるSTS-3オーバーヘッド表示信号RXOHを出力する。

【0029】

ペイロードオクテット位置作成部21bはSAR-PDUペイロードのオクテット位置(0~46)を出力する。すなわち、図12の太線枠内のAAL1セル化範囲において

(STS-3オーバーヘッド表示信号RXOHが"0"のとき)、バイトタイミングパルスUPCLK(図10)を計数してSAR-PDUペイロードのオクテット位置(0~46)を信号OCTETとして出力する。又、計数値OCTETが0になる毎にSCイネーブル信号(SCEN)を出力する。シーケンスカウンタ作成部21cは、SCイネーブル信号(SCEN)をカウントして0~7のシーケンスカウンタ(SC)を出力する。RTSラッチタイミング作成部21dは、OCTET=0、SC=0でラッチパルスLTを出力し、4ビットのRTSカウンタ21eは網クロックをサイクリックに計数し、カウンタ値ラッチ回路21fはラッチパルスLT発生時のRTSカウンタ21eの内容(4ビット)を送信RTS情報RTS1~RTS4としてラッチ出力する。

【0030】

SDTポインタ作成部21gはSTS-3フレームのAAL1セル化範囲(図12の枠内)における2358個の各バイト位置を示すダウンカウンタDCNTを備えている。ダウンカウンタDCNTは、(1)基準位置信号SPETOPにより数値2357がプリセットされ、(2)AAL1セル化範囲において(STS-3オーバーヘッド表示信号RXOHが"0"のとき)、バイトタイミングパルスUPCLKが発生する毎にデクリメントし、繰り返し2357~0を出力する。SDTポインタ作成部21gは、シーケンスカウンタ値SCが偶数で、ペイロードオクテット位置OCTET=0の時、計数値が93~1であれば該計数値をSDT

ポインタ値PTRVとして出力すると共にSDTポインタ生成表示信号PTRENを出力する。図 1 3 はSDTポインタの生成説明図であり、SC=4(偶数)、OCTET=0のとき、ダウンカウンタDCNTの値が93~1の範囲に有るため、このときの値(=89)をSDTポインタ値PTRVとして出力する。パリティ生成部 2 1 h はSDTポインタ値の偶数パリティを作成する。7ビットのSDTポインタ値PTRVと1ビットのパリティにより8ビットのSDTポインタが構成される。

【 0 0 3 1 】

SDTポインタ作成部 2 1 g は以上のように、1サイクル(SC=0~7)のどのセルをP-formatとしてSDTポインタを付与するのか決定すると共に付与するSDTポインタの算出を行なう。詳細には、SDTポインタに関して以下の生成規則がある。

(1) SDTポインタを持つAAL1セル(P-formatセル)は、SC=0~7を1サイクルとして、1サイクル内に必ず1回だけ存在する。

(2) SCが偶数(0,2,4,6)であるAAL1セルのみがP-formatセルとなり得る。また、SDTポインタは0~93及び127の値を取り得る。

(3) 現サイクル内に構造化データ境界が無く、次サイクルのSC=0のセルのペイロード先頭も構造化データ境界ではない時、現サイクルのSC=6のセルはP-formatセルとなり、SDTポインタ値は"127"(all"1")である。

(4) SC=0のセルのペイロードの先頭に構造化データ境界が存在する時、SC=0のセルがP-formatセルとなり、SDTポインタ値は"0"である。この時、1個前のサイクル内に構造化データ境界が存在していなければ、1個前のサイクルのSC=6はP-formatセルとなり、SDTポインタ値は"93"となる。

(5) SC=2(,4,6)のセルのペイロード先頭に構造化データ境界が存在する時、SC=0(,2,4)のセルがP-formatとなり、SDTポインタ値は"93"となる。

【 0 0 3 2 】

(c) SAR-PDUヘッダ作成部(SAAL1)

図 1 4 はSAR-PDUヘッダ作成部の構成図であり、CSI作成部 2 2 a は、(1)シーケンスカウンタSC(0~7)が偶数のときCSI=RTS情報(RTS1~RTS4)を出力し、(2)SC値=奇数のときSDTポインタ生成表示信号PTRENが"1"であればCSI="1"を出力し、(3)SC値=奇数のときSDTポインタ生成表示信号PTRENが"0"であればCSI="0"を出

力する。CRC作成部 2 2 b はSNフィールド(CSI+SC)を用いて所定のCRC演算式により3ビットのCRCを作成し、パリティ作成部 2 3 c は7ビットの(CSI+SC+CRC)に対して偶数パリティEPBを作成して出力する。SAR-PDUヘッダ作成部 2 2 はセル毎にCSI, SC, CRC, EPBをSAR-PDUヘッダ(PDUHDR)として出力する。

【0 0 3 3】

(d) 送信バッファ書き込み制御部

図 1 5 は送信バッファ書き込み制御部の構成図であり、セレクタ 2 3 a は、ペイロードオクテット位置信号OCTET及びポインタ作成表示信号PTNENに基いて適宜、SAR-PDUヘッダ(PDUHDR)、SDTポインタPTR、STS-3フレームデータUPDATを選択する。これにより、セレクタ 2 3 a は送信バッファ書き込みデータ(セルペイロード)を送信バッファ 2 4 に送出する。送信バッファ書き込みアドレス作成部 2 3 b は、送信バッファへのセルペイロード書き込みのためのアドレス(SBWADR)及び書き込みイネーブル信号(SBWEN)の発生を制御する。すなわち、(1) ペイロードオクテット位置OCTET=0(SAR-PDU先頭タイミング)において、送信バッファフルSBFULL="1"であるとき、送信バッファオーバフローとみなして送信バッファへの書き込みを行わない。(2) 又、ペイロードオクテット位置OCTET=0において、送信バッファフルSBFULL="0"であるとき、書き込みイネーブル信号(SBWEN)を発生し、送信バッファへの書き込みを行う。(3) 又、STS-3オーバヘッド表示信号RX0H="1"で示されるAAL1セル化対象バイトに相当する期間では、書き込みを停止する。(4) 更に、書き込みを開始した時は、OCTET=46のタイミングで書き込み完了信号SBWCOMPを出力する。

【0 0 3 4】

(e) 送信バッファ

図 1 6 は送信バッファ 2 4 の構成図であり、FIFO構成になっており、最大4セル分格納できるようになっている。non P-formatのセルペイロードは図 1 7 (a) に示すように送信バッファへマッピングされ、P-formatのセルペイロードデータは図 1 7 (b) に示すように送信バッファへマッピングされる。

【0 0 3 5】

(f) 送信バッファ読出し制御部

図 1 8 は送信バッファ読出し制御部 2 5 の構成図である。ATMセルタイミング作成部(53オクテットカウンタ)2 5 a は、交換機内ハイウェイクロックで53オクテットカウンタを駆動し、53オクテットATMセル先頭表示信号HTPを作成する。送信バッファ読み出しアドレス作成部 2 5 b は、(1) ATMセルタイミングに基づいて送信バッファ 2 4 の読み出しアドレスSBRADRを発生すると共に、(2) 送信バッファ書き込み制御部 2 3 からの書き込み完了信号SBWCOMP及びATMセル作成部 2 6 からの読出し要求SBRCに基づいて、送信バッファフル信号SBFULL、送信バッファ非エンプティ信号(送信バッファエンプティの逆論理)*SNEMPTYを作成する。

送信バッファ 2 4 は前述のように4セル分のFIFOバッファであり、このFIFOバッファの使用量を監視することにより送信バッファのオーバーフローを検出し、新規書き込みの禁止(書き込もうとしたデータの廃棄)、オーバーフロー発生通知を行なう。バッファ使用量管理には、ポインタを用いる。ポインタには書き込みポインタ(SBW_PTR)と読み出しポインタ(SBR_PTR)を内部的に用意する。両ポインタともに0~3の値を取り得る。この値は、送信バッファ上の論理的な(セルペイロード単位での)アドレスを示すものである。

【 0 0 3 6 】

書き込みポインタSBW_PTRを進めるトリガーは、書き込み制御部 2 3 からの書き込み完了信号SBWCOMPの入力である。一方、読出しポインタSBR_PTRを進めるトリガーは、ATMセル作成部 2 6 から読出し要求SBRCがあり、その読み出し処理が完了した時点である。さらに、送信バッファエンプティSBEMPTY,送信バッファフルSBFULLという状態を持ち、それぞれ"1"で送信バッファの空(empty),満杯(full)を表示する。ATMセル作成部 2 6 は、送信バッファ 2 4 からの出力を受け付けるタイミングにおいて、送信バッファがエンプティでなければ(*SBEMPTY="1"),読み出し要求コマンドSBRCを発行する。

以上のポインタを用いて送信バッファ読出しアドレス作成部 2 5 b は以下のよう
に送信バッファ使用量管理を行なう。

【 0 0 3 7 】

(1) 読み出し要求SBRCを受けたとき、読出しポインタSBR_PTRを基に読み出し処理を起動する。読出し完了時に読出しポインタSBR_PTRを進め、その時送信バ

バッファフルSBFULL=1であればSBFULL=0にリセットする。更新後の読出しポインタSBR_PTRと書き込みポインタSBW_PTRとを比較し、SBR_PTR=SBW_PTRであるときは今回の読み出しにより送信バッファ24は空となり、このままの状態では次の読み出しは許容できない。従って、*SBEMPTY=0と設定する。これにより、ATMセル作成部26からの読み出し要求SBRCは来なくなる。

(2) 書き込み完了通知SBWCOMPを受けたときは、書き込みポインタSBW_PTRを進める。このとき送信バッファエンプティSBEMPTY=1であれば、SBEMPTY=0にリセットする。更新後の書き込みポインタSBW_PTRと読出しポインタSBR_PTRとを比較し、SBW_PTR=SBR_PTRであるときは、今回の書き込みにより送信バッファ24はfull状態となったことを示しており、このままの状態では次セルペイロードの書き込みは許容できない。従って送信バッファフルSBFULL=1とする。

【0038】

(g) ATMセル作成部

図19はATMセル作成部26の構成図である。読出し要求発生部26aは送信バッファ24がエンプティでないとき、読出し要求SBRCを送信バッファ読出し制御部25に送出する。ATMヘッダ付与タイミング作成部26bは、ATMセル先頭表示信号HTPに基づいてヘッダ選択信号HSLを出力する。セレクタ26cはヘッダ選択信号HSLが"1"であれば、ATMセルヘッダを選択出力し、それ以外のタイミングでは送信バッファ読出しデータ(セルペイロード)を選択出力する。

【0039】

(B) ATM網出口側のインタフェース装置

図20はATM網出口側のインタフェース装置の全体の構成図である。セルフィルタ50はATMハイウェイから入力するセルに対し、VPI/VCI値によるフィルタリングを行い、自分が処理すべきセルを選択／透過する。セル判定部51は、セル有効／無効判定部52、セル紛失／誤挿入検査部53を備えている。セル有効／無効判定部52はセルフィルタ51を透過した個々のセルについて、SAR-PDUヘッダのSN/SNPフィールドをチェックし、すなわち、CRCチェック、パリティチェックを行って SAR-PDUヘッダ情報の正常性を判定する。CRCの1ビットエラーは誤り訂正可能であり訂正する。セルの有無／無効の判定結果は、"有効(valid)"ま

たは”無効(invalid)”であり、紛失/誤挿入検査部 5 3 に通知される。判定結果”無効 (invalid) ”は受信したけれど SAR-PDU ヘッダは信用できないということを意味する。

【 0 0 4 0 】

紛失/誤挿入検査部 5 3 はシーケンスナンバチェックアルゴリズム (SN check algorithm) にしたがって、セル有効/無効判定部 5 2 の判定結果と SN フィールドにおけるシーケンスカウンタ SC の連続性とからセルの紛失、誤挿入を検査し、検査結果に基づいて受信したセルを受信バッファ 5 7 へ 取り込むか、廃棄するか、あるいはセル紛失と判断してダミーセル ダミーセルを挿入するか否かを判定する。

セル蓄積部 5 4 は、紛失/誤挿入検査部 5 3 でセル取り込み可否判定中のセルを一時的に記憶する。ダミーセル作成部 5 5 は紛失/誤挿入検査部 5 3 でセル紛失と判定された場合に、紛失したセルに相当するダミーセルのデータを作成して出力する。セクタ 5 6 は、紛失/誤挿入検査部 5 3 におけるセル取り込み/セル廃棄/ダミーセル挿入の判断結果に基いて、セル蓄積部 5 4 のセルあるいはダミーセル作成部 5 5 のダミーセルを適宜選択して出力する。又、セクタ 5 6 は 48 バイトのセルペイロードを 12 バイトパラレルに 4 回にわけて図 2 1 (a) に示すように組立てバッファ 5 7 に入力する。

【 0 0 4 1 】

受信バッファ 5 7 は (1) クロック乗せ替え、(2) セル到着揺らぎの吸収、という 2 つの目的のために配置するプレイアウトバッファであり、所定数のセルペイロード (SAR-PDU ヘッダ + 47 バイト情報) を記憶する容量を備えている。

受信バッファ制御部 5 8 は書き込みイネーブル信号 WREN、書き込みアドレス信号 WRADD、読出しイネーブル信号 RDEN、読出しアドレス信号 RDADD、ラッチイネーブル信号 LATCHEN、セレクト信号 RDPHASE、セル化基準位置信号 SPETOP を出力する。すなわち、受信バッファ制御部 5 8 は書き込みアドレス WRADD を保持しており、セクタ 5 6 からデータが出力する毎に書き込みイネーブル信号 WREN を発生して該データを書き込みクロックに同期して受信バッファ 5 7 に書き込むと共に書き込みアドレス WRADD をインクリメントする。又、受信バッファ 5 7 がエンプテ

イでないかぎり連続的に受信バッファより読み出しクロックに同期してデータを読み出す。

【 0 0 4 2 】

受信バッファ 5 7 は書き込みイネーブル時 (WREN="1") に書き込みアドレス WRADD で指定されたアドレスに SAR-PDU データを 12 バイトずつ書き込む。又、受信バッファ 5 7 は読出しイネーブル時 (RDEN="1")、読出しアドレス RDADD で指定されたアドレスから SAR-PDU データを 12 バイトずつ読み出す。ラッチ回路 5 9 はラッチ信号 LATCHEN="1" であれば受信バッファから読出されたデータをラッチし、ラッチしているデータをセクタ 6 0 に対して常に出力しつづける。

ポインタ検出部 6 1 は受信バッファ 5 7 から読出されるセルペイロードの上位 2 バイトより SDT ポインタ PTR を検出し、ポインタ値とポインタ検出信号 PTR-DET を受信バッファ制御部 5 8 に入力する。受信バッファ制御部 5 8 は内部に STS-3 フレームの 2430 バイトを計数する 0 ~ 2429 で回るフレームカウンタ 5 8 a を有している。このフレームカウンタ 5 8 a はポインタ検出時に [2429-ポインタ値] がブリセットされ、その後、バイトタイミングでカウントアップする。そして、計数値=9 のタイミングで、すなわち、フレーム基準位置 TOP (AAL1 セル化範囲の先頭位置) のタイミングで基準位置信号 SPETOP を出力する。

【 0 0 4 3 】

又、受信バッファ制御部 5 8 は、ラッチ回路 5 9 が出力する 12 バイトのうち、どのバイトを出力するかを指定するセレクト信号 RDPHASE を出力する。すなわち、受信バッファ制御部 5 8 は、ポインタ検出信号 PTR-DET が入力されたか否かにより、受信バッファ 5 7 から読出されたデータが P-format セルのセルペイロードであるか non P-format セルのセルペイロードであるかを判断する。そして、

(1) セクタ 6 0 への入力がセルペイロードの最上位 12 バイトのデータで、2 バイト目が SDT ポインタであれば (図 2 1 (b) の (1) 参照)、3 バイト目からの 10 バイトを選択するようにセレクト信号 RDPHASE を出力し、

(2) セクタ 6 0 への入力がセルペイロードの最上位 12 バイトのデータで、2 バイト目がユーザデータであれば (図 2 1 (b) の (2) 参照)、2 バイト目からの 11 バイトを選択するようにセレクト信号 RDPHASE を出力し、

(3) セレクタ 6 0 への入力セルペイロードの上位12バイトのデータ以外であれば(図 2 1 (b) の(3)参照)、1バイト目からの12バイトを選択するようにセレクト信号RDPHASEを出力し、

(4) 又、STS-3フレーム組立部 6 2 が、セクションオーバーヘッドSH、ラインオーバーヘッドLHを生成する期間では、セレクト信号RDPHASEを "0000"にして、セレクタ 6 0 よりダミーデータ"00000000"が出力する。

【 0 0 4 4 】

以上、AALセル化領域のバイトタイミングにおいて、セレクタ 6 0 は図 2 1 (b) の斜線部のユーザデータをSTS-3フレーム組立部 6 2 に送出し、オーバーヘッド期間ではダミーデータを出力する。

STS-3フレーム作成部 6 2 は、AALセル化領域のバイトタイミングにおいてセレクタ 6 0 から入力するユーザデータをSTS-3フレームフォーマットに組立て、又、オーバーヘッドのバイトタイミング期間においてセクションオーバーヘッドSH、ラインオーバーヘッドLHを作成してオーバーヘッド部分に埋め込み、STSフレームデータを完成してSTS-3伝送路に送出する。

【 0 0 4 5 】

(C) 帯域調整機能を備えたインタフェース装置の第 1 実施例

受信バッファ 5 7 からの読出しデータに対して帯域調整を行う。帯域調整は、P-formatセルであったと推定されるダミーセル、invalidセルをP-formatセルと推定することにより、P-formatセル 紛失により再生データが大量に失われることを防止すると共に、受信バッファにおけるイニシャルフィルレベルIFLの変動を防止する。

図 2 2 は帯域調整機能を備えたATM網出口側のインタフェース装置の構成図であり、図 2 0 と同一部分には同一符号を付している。異なる点は、(1) SAR-PDUヘッダ作成部 7 1 を設けた点、(2) セル判定部 5 1 よりセルヘッダの有効/無効判定信号INV、ダミーセルデータ挿入信号DUMを出力する点、(3) ポインタ検出部 6 1 に替えてポインタ検出/P-formatセル検出部 7 2 を設けた点、である。

セル有効/無効判定処理部 5 2 はセルフィルタ 5 0 を透過した個々のセルについて、CRCチェック、パリティチェックを行って SAR-PDUヘッダ情報の正常性を

判定し、有効／無効の判定信号INVを出力する。INV="0"は有効(valid)を意味し、INV="1"は無効(invalid)、すなわち、受信したけれどSAR-PDUヘッダに間違いがありそうだということを意味する。

【 0 0 4 6 】

紛失／誤挿入検査部 5 3 はSN check algorithmにしたがって、セル有効／無効判定部 5 2 の判定結果とSNフィールドにおけるSCの連続性ことからセルの紛失、誤挿入を検査し、検査結果に基づいて受信したセルを受信バッファ 5 7 へ 取り込むか、廃棄するか、あるいはセル紛失と判断してダミーセルを挿入するか否かを判定する。又、ダミーセルを挿入する場合には、ダミー挿入信号DUM("0"正常、"1";ダミー挿入)を出力する。

SAR-PDUヘッダ作成部 7 1 は、セルフフィルタ 5 0 から入力するSAR-PDUヘッダに含まれるCSI、SC、セル判定部 5 1 から入力する有効／無効の判定信号INV、ダミー挿入信号DUMを用いて図 2 3 に示すSAR-PDUヘッダを作成する。

セクタ 5 6 は、(1) INV="0", DUM="0"のとき、及び、INV="1", DUM="0"のとき、SAR-PDUヘッダ作成部 7 1 で作成した1バイトのSAR-PDUヘッダとセル蓄積部 5 4 に記憶されている2バイト目以降の47バイトセルペイロードデータを12バイトづつ選択して出力する(図 2 3 参照)。又、セクタ 5 6 は、(2) INV="1", DUM="1"のとき、SAR-PDUヘッダ作成部 7 1 で作成した1バイトのSAR-PDUヘッダとダミーセル生成部 5 5 で作成した47バイトのダミーデータを12バイトづつ選択して出力する。

【 0 0 4 7 】

ポインタ検出/P-formatセル検出部 7 2 は、内部に AAL1セル化領域の2358個のバイト位置(図 1 2 参照)を示す2357~0で回るダウンカウンタSPECTRを(図示せず)有している。このダウンカウンタSPECTRはポインタ検出時にポインタ値をプリセットされ、その後、AAL1セル化領域におけるバイトタイミングでサイクリックにカウントダウンする。ポインタ検出/P-formatセル検出部 7 2 は、受信バッファ 5 7 から読出されるセルペイロードの上位2バイト及びダウンカウンタSPECTRの計数値等を用いて図 2 4 に示すポインタ検出/P-format 判定処理を行い、(1) SDTポインタ値(PTR値)とポインタ検出信号PTR-DETを出力すると共に、(2)P-f

ormatセル判定信号PFORMを出力する。

【 0 0 4 8 】

ポインタ検出/P-format 判定処理フローにおいて、ポインタ検出/P-formatセル検出部 7 2 は、SAR-PDUヘッダを読み取り(ステップ101)、シーケンスカウンタSC=0であるかチェックす(ステップ102)。SC=0であれば、P-formatセル検出信号ARDYPFMTを0にリセットする(ステップ103)。このP-formatセル検出信号ARDYPFMTは、SC0~7の1サイクルの最初で"0"にリセットされ、P-formatセルの検出で以後リセットされるまで"1"となる信号である。

ついで、SC=1、3、5、7(奇数)であるかチェックし(ステップ104)、奇数であれば、non P-formatセルである。従って、VALIDPTR="0"、NPORM="0"とし(ステップ105)、はじめに戻る。VALIDPTRは真のSDTポインタが検出できたときに"1"になるポインタ検出信号、NPORMはP-formatセルを検出したとき"1"となる信号である。

【 0 0 4 9 】

SCが奇数でなければ、セルペイロードの先頭オクテット位置でダウンカウンタSPEVTRの計数値が0~93であるかチェックする(ステップ106)。計数値が0~93であれば、有効/無効判定信号INV="1"であるかダミー挿入信号DUM="1"であるかチェックする(ステップ107)。もし、INV,DUMの一方が"1"であれば、P-formatセル検出信号ARDYPFMTが"1"であるかチェックする(ステップ108)。ARDYPFMT="1"であれば既にP-formatセルが検出されているからVALIDPTR="0"、NPORM="0"とする(ステップ109)。一方、ARDYPFMT="0"であれば未だP-formatセルが検出されていないから、このSC値偶数のセルがP-formatセルであったと推定する。そして、VALIDPTR="0"、NPORM="1"、ARDYPFMT="1"とし(ステップ110)、はじめに戻る。

【 0 0 5 0 】

ステップ106においてダウンカウンタSPECTRの計数値が0~93でなく、あるいは、ステップ107においてINV="0",DUM="0"であれば、SC値が6であるかチェックする(ステップ111)。「YES」であれば、有効/無効判定信号INV="1"であるかダミー挿入信号DUM="1"であるかチェックする(ステップ112)。もし、INV,DUMの一方が"1"であれば、P-formatセル検出信号ARDYPFMTが"1"であるかチェックする(ステップ113)。ARDYPFMT="1"であれば既にP-formatセルが検出されているからVALIDPTR="

0”、NPORM=”0”とする(ステップ114)。一方、ARDYPFMT=”0”であれば未だP-formatセルが検出されていないから、このSC値=6のセルがP-formatセルであったと推定する。そして、VALIDPTR=”0”、NPORM=”1”、ARDYPFMT=”1”とし(ステップ115)、はじめに戻る。

【 0 0 5 1 】

しかし、ステップ111においてSC値=6でなく、あるいは、ステップ112においてINV=”0”、DUM=”0”であれば、CSI=”1”であるかチェックする(ステップ116)。CSI=”1”であれば、INV=”0”であるかチェックする(ステップ117)。INV=”0”であれば、着目セルの第2バイトの値(ポインタ値)PTRが0から93であるかチェックする。「YES」であれば、該セルは真のP-formatセルあるから、VALIDPTR=”1”、NPORM=”1”、ARDYPFMT=”1”とし(ステップ119)、はじめに戻る。しかし、ポインタ値PTRが0～93でなく、127であれば、p-format cellであるがフレーム基準位置を示すポインタでないと判定する(偽ポインタ)。そして、VALIDPTR=”0”、NPORM=”1”、ARDYPFMT=”1”とし(ステップ120)、はじめに戻る。又、ステップ116、117、においてCSI=”0”あるいはINV=”1”であれば、non P-formatセルであると判定し、VALIDPTR=”0”、NPORM=”0”とし(ステップ121)、はじめに戻る。

【 0 0 5 2 】

以上第1実施例によれば、P-formatセルが紛失したとき、P-formatセルである可能性の高いセル(SC値偶数セルでダミーセル、又はinvalidセルをP-formatセルと推定する。更に、ダウンカウンタSPECTRの計数値を用いてポインタタイミングを予測し、予測したタイミングでP-formatセルが紛失した時、該タイミングにおけるSV値偶数のダミーセル又はinvalidセルをP-formatセルと判定する。このため、P-formatセル判定精度を向上できる。以上より、1サイクル(SC=0～7)における正しいp-formatセルを推定でき、P-formatセルをnon p-formatセルと判断したり、non p-formatセルをP-formatセルと判断して受信バッファのIFLレベルが変動するのを防止できる。

更に、P-formatセルが紛失してもP-formatセルを推定するためP-formatセル紛失により再生データが大量に失われることがない。

【 0 0 5 3 】

(D) 帯域調整機能を備えたインタフェース装置の第2の実施例

図25は帯域調整機能を備えたATM網出口側のインタフェース装置の別の構成図であり、図20と同一部分には同一符号を付している。異なる点は、(1) SAR-PDUヘッダ作成部71を設けた点、(2) セル判定部51よりセルヘッダの有効/無効判定信号INV、ダミーセル挿入信号DUMを出力する点、(3) 受信バッファ57前段に1サイクル(SC=0~7)分のセルを記憶するデータ蓄積部73、(4) 蓄積された1サイクル分の各セルのSAR-PDUヘッダを参照してポインタを修正するポインタ修正制御部74を設けた点である。

【0054】

セル有効/無効判定処理部52、セル紛失/誤挿入検査部53、セル蓄積部54、ダミーセル生成部55、セレクタ56、SAR-PDUヘッダ作成部71は、図22の第1実施例と同様に動作する。すなわち、セレクタ56は、

(1) INV="0", DUM="0"、あるいは、INV="1", DUM="0"のとき、SAR-PDUヘッダ作成部71で作成した1バイトのSAR-PDUヘッダとセル蓄積部54に記憶されている2バイト目以降の47バイトセルペイロードを、12バイトづつ4回に分割して出力し(図23参照)、(2) INV="1", DUM="1"のとき、SAR-PDUヘッダ作成部71で作成した1バイトのSAR-PDUヘッダとダミーセル生成部55で作成した47バイトのダミーデータを12バイトづつ4回に分割して出力する。データ蓄積部73はセレクタ56から出力する1サイクル分のセルペイロードを記憶し、ポインタ修正制御部74は蓄積された1サイクル分の各セルのSAR-PDUヘッダを参照して図26に示すポインタ修正処理フローに従ってポインタの修正を行う。

【0055】

すなわち、データ蓄積部74はセレクタ56から出力するセルペイロードを受信/蓄積し(ステップ201)、1サイクル分のセルを受信したかチェックする(ステップ202)。1サイクル分のセルを蓄積すれば、CSI="1"の偶数SC値のセルが存在するかチェックし(ステップ203)、存在しなければ、DUM="1"又はINV="1"のSC値偶数セルが存在するかチェックする(ステップ204)。存在すれば、複数存在するかチェックし(ステップ205)、1つしか存在しなければ、DUM="1"又はINV="1"のSC値偶数セルをP-formatセルと判定し(ステップ206)、セルペイロードの第1バイトで

ある SAR-PDU ヘッダの CSI を "1" にすると共に、第 2 バイトのポインタ値を 127 (偽ポインタ) にする (ステップ 207)。

一方、ステップ 204 において DUM="1" 又は INV="1" の SC 値偶数セルが存在しなければ、SC=6 のセルを P-format セルと判定し (ステップ 208)、以後、ステップ 207 の処理を行う。又、ステップ 205 において、DUM="1" 又は INV="1" の SC 値偶数セルが複数存在すれば、SC 値が大きいセルを P-format セルと判定し (ステップ 208)、以後、ステップ 207 の処理を行う。

【 0 0 5 6 】

ステップ 203 において、CSI="1" の偶数 SC 値セルが存在すれば、2 以上存在するかチェックし (ステップ 210)、1 つしか存在しなければ、該セルを P-format セルと判定する (ステップ 211)。しかし、CSI="1" の偶数 SC 値セルが 2 つ存在すれば、INV="0"、DUM="0" の偶数 SC 値セルを P-format セルと判定し (ステップ 212)、INV="1" 又は DUM="1" の偶数 SC 値セルの CSI を "0" に修正する (ステップ 213)。

以上により修正されたセルは、受信バッファ 57 に格納され、以後、図 20 の実施例と同様の制御が行われ、受信バッファ 57 からユーザデータが STS-3 フレーム組立部 62 に送出される。

【 0 0 5 7 】

以上、第 2 実施例によれば、P-format cell が紛失したとき、P-format セルである可能性の高いセル (SC 値偶数でダミーセル又は、invalid セル) を P-format セルと推定する。このため、1 サイクル (SC=0~7) 毎に正しく p-format セルを推定でき、P-format セルを non p-format セルと判断したり、non p-format セルを P-format セルと判断して受信バッファの IFL レベルが変動するのを防止できる。

又、第 2 実施例によれば、P-format セルが紛失しても、P-format セルを正しく推定するため P-format セル 紛失により再生データが大量に失われることがない。

【 0 0 5 8 】

(E) 帯域調整機能を備えたインタフェース装置の第 3 の実施例

図 27 は帯域調整機能を備えた ATM 網出口側のインタフェース装置の別の構成図であり、図 25 と同一部分には同一符号を付している。異なる点は、(1) 受信

バッファ 5 7 の前段に 1 セル分のデータ蓄積部 7 5 を設けた点、(2) 順次セルヘッダの SAR-PDU ヘッダを参照して、図 2 6 のフローに従ってポインタを修正するポインタ修正制御部 7 6 を設けた点である。

図 2 8 のポインタ修正処理フローにおいて、ポインタ修正制御部 7 6 は、セル毎に SC=偶数で、CSI="1" であるかチェックし(ステップ 301)、CSI="1" であれば該 SC 値偶数セルを P-format セルと判定する(ステップ 302)。

しかし、SC=0, SC=2, SC=4, SC=6 のセルに CSI="1" のセルが存在しなければ、SC=6 のセルを P-format セルと判定し(ステップ 303)、SC=6 のセルペイロードにおける SAR-PDU ヘッダ(第 1 バイト)の CSI を "1" にすると共に、ポインタ値(第 2 バイト)を 12 7 (偽ポインタ)にする(ステップ 304)。

【 0 0 5 9 】

以上、第 3 実施例によれば、1 サイクル毎に SC 値偶数セルが P-format セルであるかチェックし、P-format セルが紛失したとき、SC=6 のセルを P-format cell であると推定するため、第 2 実施例のように 1 サイクル分のデータ蓄積部を設ける必要がなく、簡単な構成で P-format セルを推定できる。

すなわち、第 3 実施例によれば、ATM 網側で紛失したセルが存在する場合には STS-3 フレームデータの内容を正常に再生できない事を考慮し、第 2 実施例よりも処理を簡略する事ができ、しかも STS-3、ATM 網両方に対応する帯域の一致を確保する事ができる。

【 0 0 6 0 】

(F) 帯域調整機能を備えたインタフェース装置の第 4 の実施例

図 2 9 は帯域調整機能を備えた ATM 網出口側のインタフェース装置の第 4 実施例の構成図であり、図 2 5 と同一部分には同一符号を付している。異なる点は、1 サイクルデータ蓄積部 7 3 とポインタ修正制御部 7 4 を受信バッファ 5 7 の出力側(読出し側)に設けた点であり、セルペイロードを受信バッファに書き込む前にポインタ修正制御をするか(第 2 実施例)、受信バッファより読出した後にポインタ修正制御をするか(第 3 実施例)の違いであり、ポインタ修正制御は同じである。

尚、同様に、第 3 実施例におけるデータ蓄積部 7 5 とポインタ修正制御部 7 6

を受信バッファ 57 の読出し側に設けることもできる。

第 4 実施例によれば、第 3 実施例と同様の効果が得られる。

以上では、STS-3 フレームを ATM セルに変換して伝送し、該 ATM セルより STS-3 フレームを再生する場合について説明したが、本発明は一般に STS-N (N: は整数)、STM-N などオーバーヘッドとペイロードを有するフレームに適用できるものである。

以上、本発明を実施例により説明したが、本発明は請求の範囲に記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

【 0 0 6 1 】

【発明の効果】

以上本発明によれば、オーバーヘッドの必要部分とペイロード部分をセル化範囲とすることで伝送帯域を小さくでき、しかも、セル化範囲の基準位置(例えば先頭位置)を特定するポインタをセルに含ませたから、受信セルより元のフレームフォーマットに組み立てることができる。

又、本発明によれば、セル紛失、セル化け等により P-format セルが紛失しても P-format セルを生成することができ、受信バッファに設定したイニシャルフィルレベル IFL が変動しないようにでき、スタベーションやオーバフローが発生しないようにできる。

【 0 0 6 2 】

又、本発明によれば、P-format セルが紛失したとき、P-format セルである可能性の高いセル(SC 値偶数でダミーセル、又は invalid セル)を P-format セルと推定するため、1 サイクル(SC=0~7)毎に正しく p-format セルを推定でき、P-format セルを non p-format セルと判断したり、non p-format セルを P-format セルと判断して受信バッファの IFL レベルが変動するのを防止でき、しかも、P-format セルが紛失しても、所定のセルを P-format セルと推定するため P-format セル 紛失により再生データが大量に失われることがない。

又、本発明によれば、ダウンカウンタ SPECTR の計数値を用いてポインタタイミングを予測し、予測したタイミングで P-format セルが紛失した時、該タイミングに基づいて所定のセルを P-format セルと判定するため、P-format セル判定精度を

向上できる。このため、1 サイクル(SC=0~7)における正しいp-formatセルを推定でき、P-formatセルをnon p-formatセルと判断したり、non p-formatセルをP-formatセルと判断して受信バッファのIFLレベルが変動するのを防止できる。更に、P-formatセルが紛失しても、所定のセルをP-formatセルと推定するためP-formatcell 紛失により再生データが大量に失われることがない。

【0063】

又、本発明によれば、予測したタイミングでP-formatセルが紛失した時、該タイミングにおけるSV値偶数のダミーセル又はinvalidセルをP-formatセルと判定するため、P-formatセルの判定精度を向上することができる。

又、本発明によれば、1サイクル毎に順次SC値偶数セルがP-formatセルであるかチェックし、P-formatセルが紛失したとき、SC=6のセルをP-formatセルであると推定するため、1サイクル分のデータ蓄積部を設ける必要がなく、簡単な構成でP-formatセルを推定でき、STS-3、ATM網における帯域の一致を確保することができる。

【図面の簡単な説明】

【図1】

STS-3フレームフォーマット説明図である。

【図2】

STS-3フレームのセル化範囲説明図である。

【図3】

フレーム分解／組立説明図である。

【図4】

AALタイプ1の構造説明図である。

【図5】

SAR-PDUヘッダの構造説明図である。

【図6】

RTS情報フォーマットの構成説明図である。

【図7】

構造データの境界識別法説明図である。

【図 8】

ATM網入口側のインタフェース装置の全体の構成図である。

【図 9】

各種信号作成部である。

【図 1 0】

各信号のタイミングである。

【図 1 1】

STSカウンタのカウント値とSTS-3フレームとの関係である。

【図 1 2】

ダウンカウンタのカウント値とSTS-3フレームの関係である。

【図 1 3】

SDTポインタの生成説明図である。

【図 1 4】

SAR-PDUヘッダ作成部である。

【図 1 5】

送信バッファ書込み制御部である。

【図 1 6】

送信バッファの構成図である。

【図 1 7】

SAR-PDUの送信バッファへのマッピング説明図である。

【図 1 8】

送信バッファ読出制御部である。

【図 1 9】

ATMセル作成部の構成図ある。

【図 2 0】

ATM網出口側のインタフェース装置の全体の構成図である。

【図 2 1】

受信バッファへの書き込み／受信バッファからの読み出し説明図である。

【図 2 2】

帯域調整機能を備えたATM網出口側のインタフェース装置の構成図である。

【図 2 3】

セレクタ出力説明図である。

【図 2 4】

ポインタ検出／P-formatセル判定処理フローである。

【図 2 5】

帯域調整機能を備えたATM網出口側インタフェース装置の別の構成図である。

【図 2 6】

ポインタ修正処理フローである。

【図 2 7】

帯域調整機能を備えたATM網出口側インタフェース装置の第3の実施例である。

【図 2 8】

ポインタ修正処理フローである。

【図 2 9】

帯域調整機能を備えたATM網出口側インタフェース装置の第4の実施例である。

【図 3 0】

SONET系の伝送路で構成される専用線サービス網である。

【図 3 1】

CE機能を備えたATM交換機である。

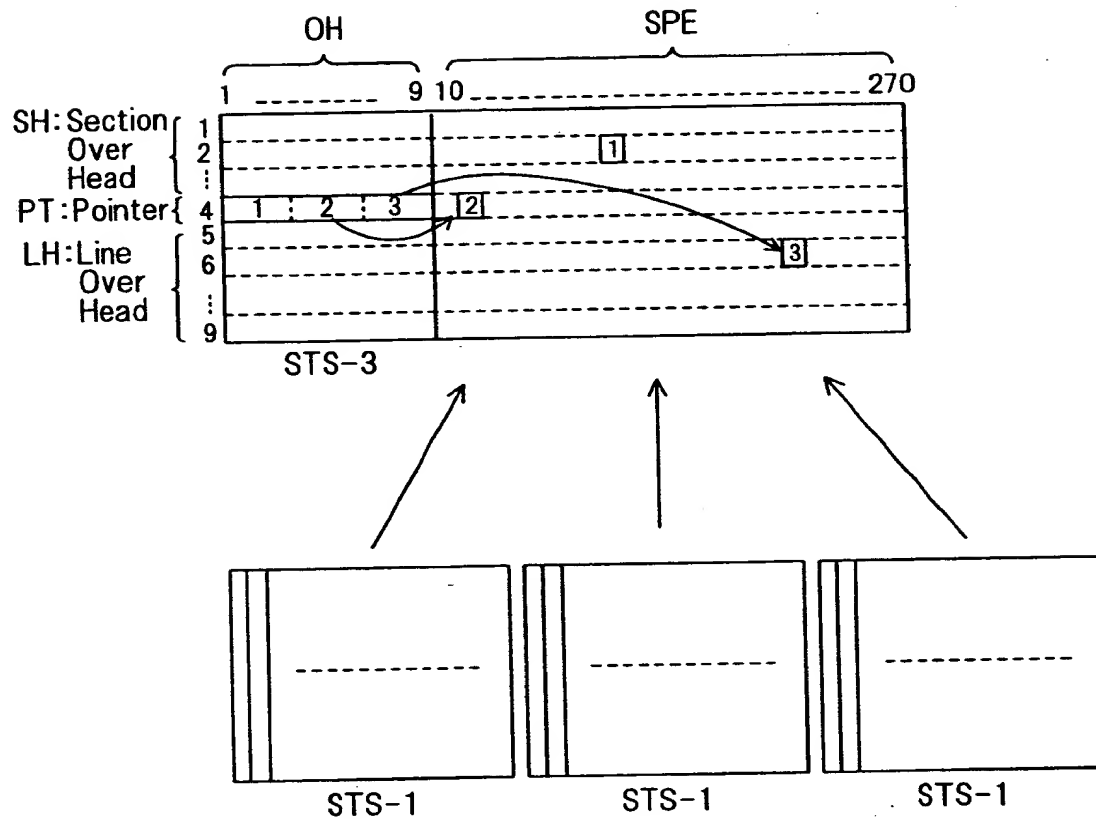
【符号の説明】

- 1 0・・・STS-3回線終端部
- 2 0・・・AAL1セル生成部
- 2 1・・・信号作成部(SSRTS)
- 2 2・・・SAR-PDUヘッダ作成部(SAAL1)
- 2 3・・・送信バッファ書き込み制御部(SRWC)
- 2 4・・・送信バッファ(SBUF)
- 2 5・・・送信バッファ読出し制御部(SBRC)
- 2 6・・・ATMセル作成部(ATM)

【書類名】 図面

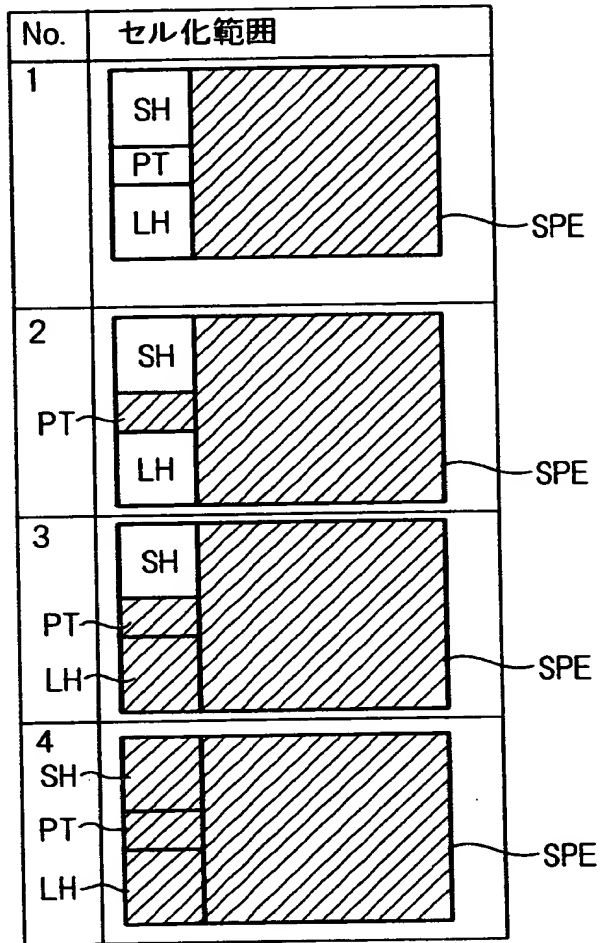
【図 1】

STS-3 フレームフォーマット説明図



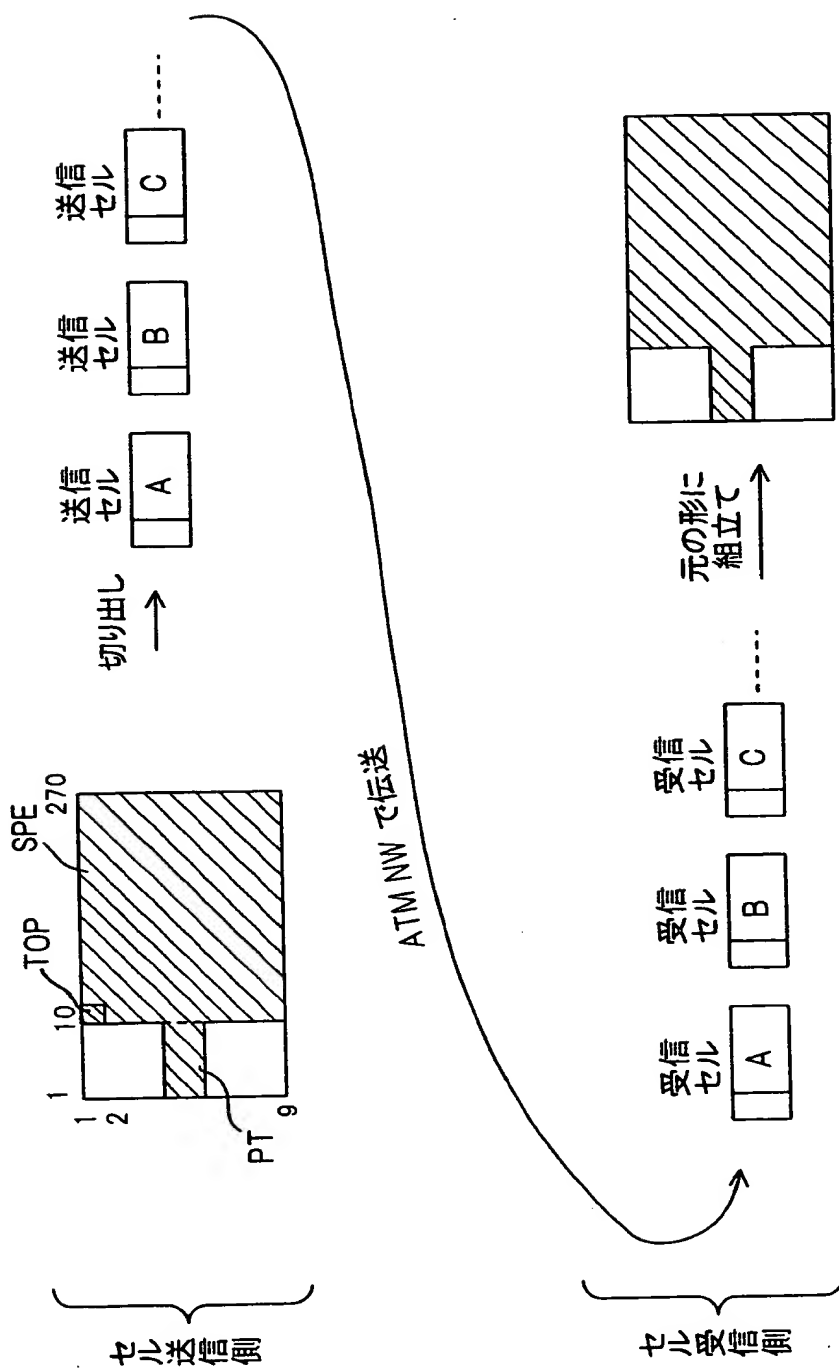
【図 2】

STS-3 フレームのセル化範囲説明図

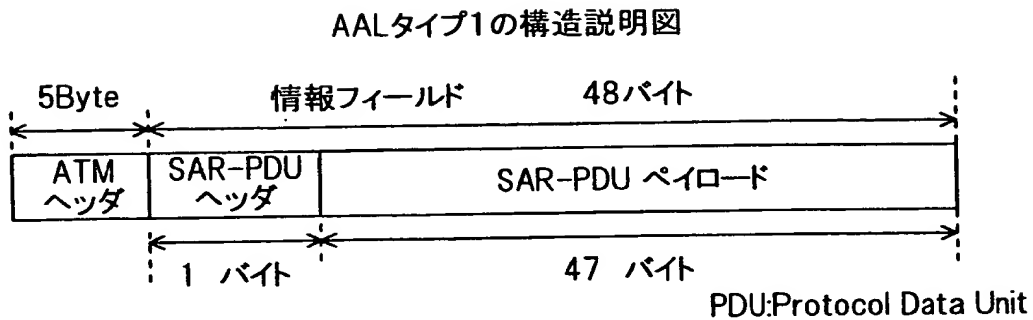


【図 3】

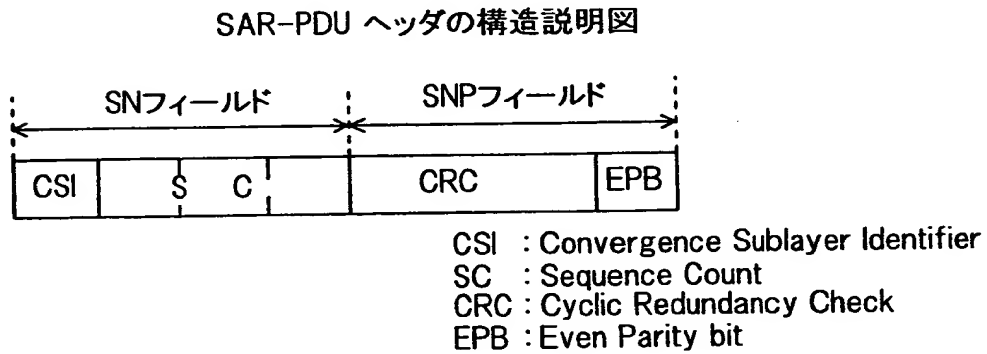
フレーム分解／組立説明図



【図 4】

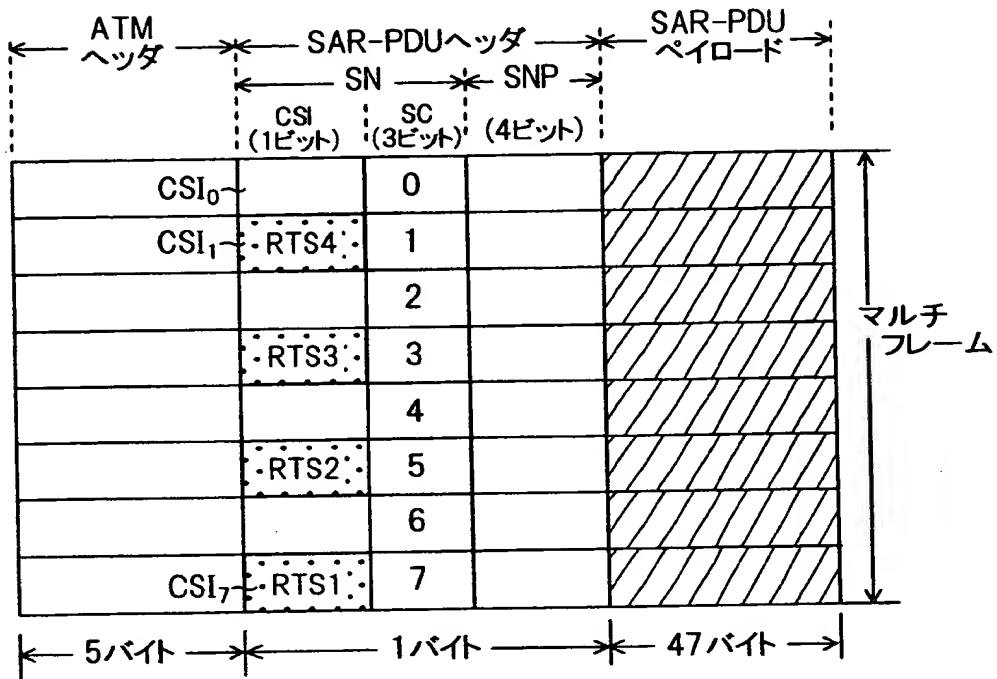


【図 5】



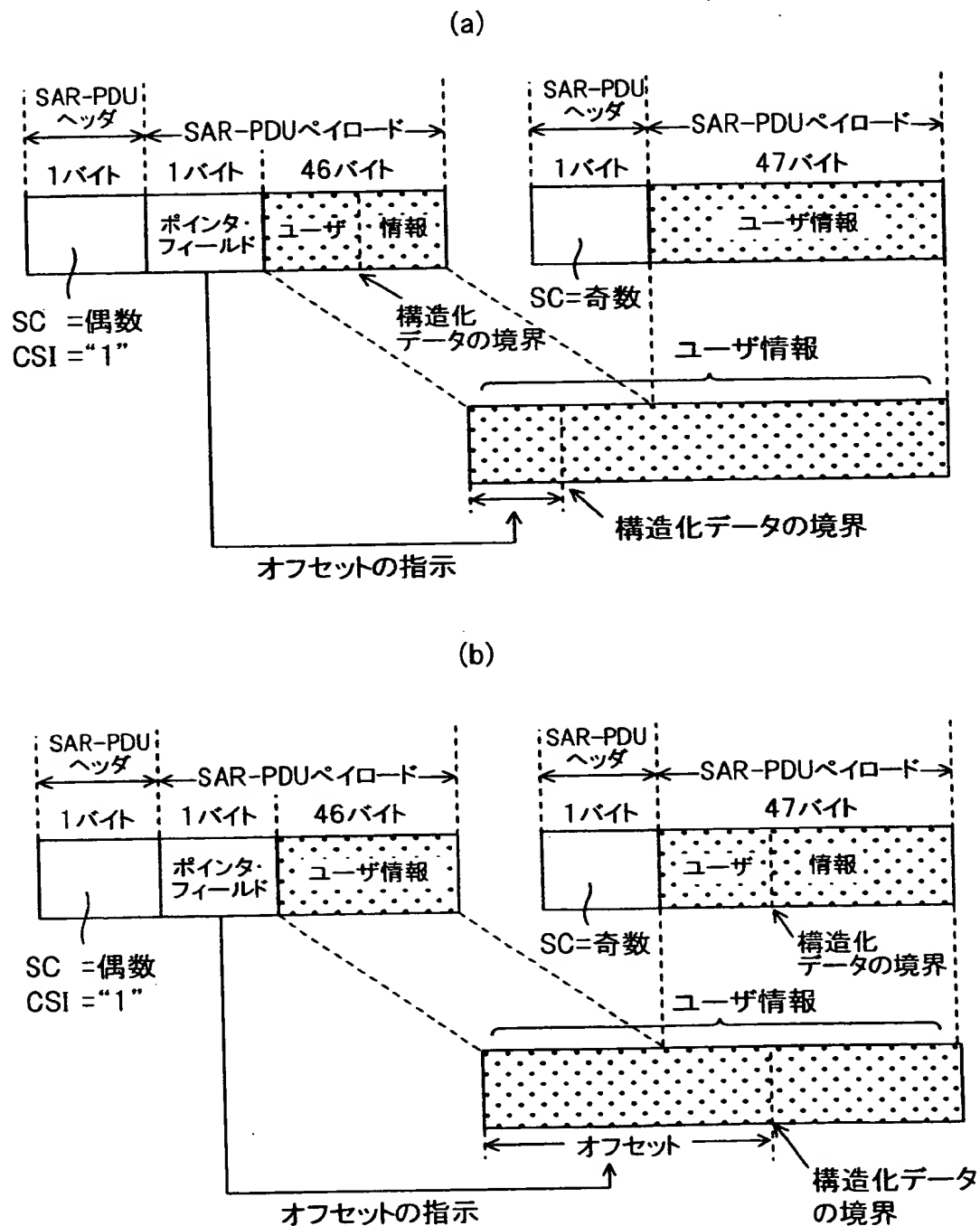
【図 6】

RTS情報フォーマットの構成説明図



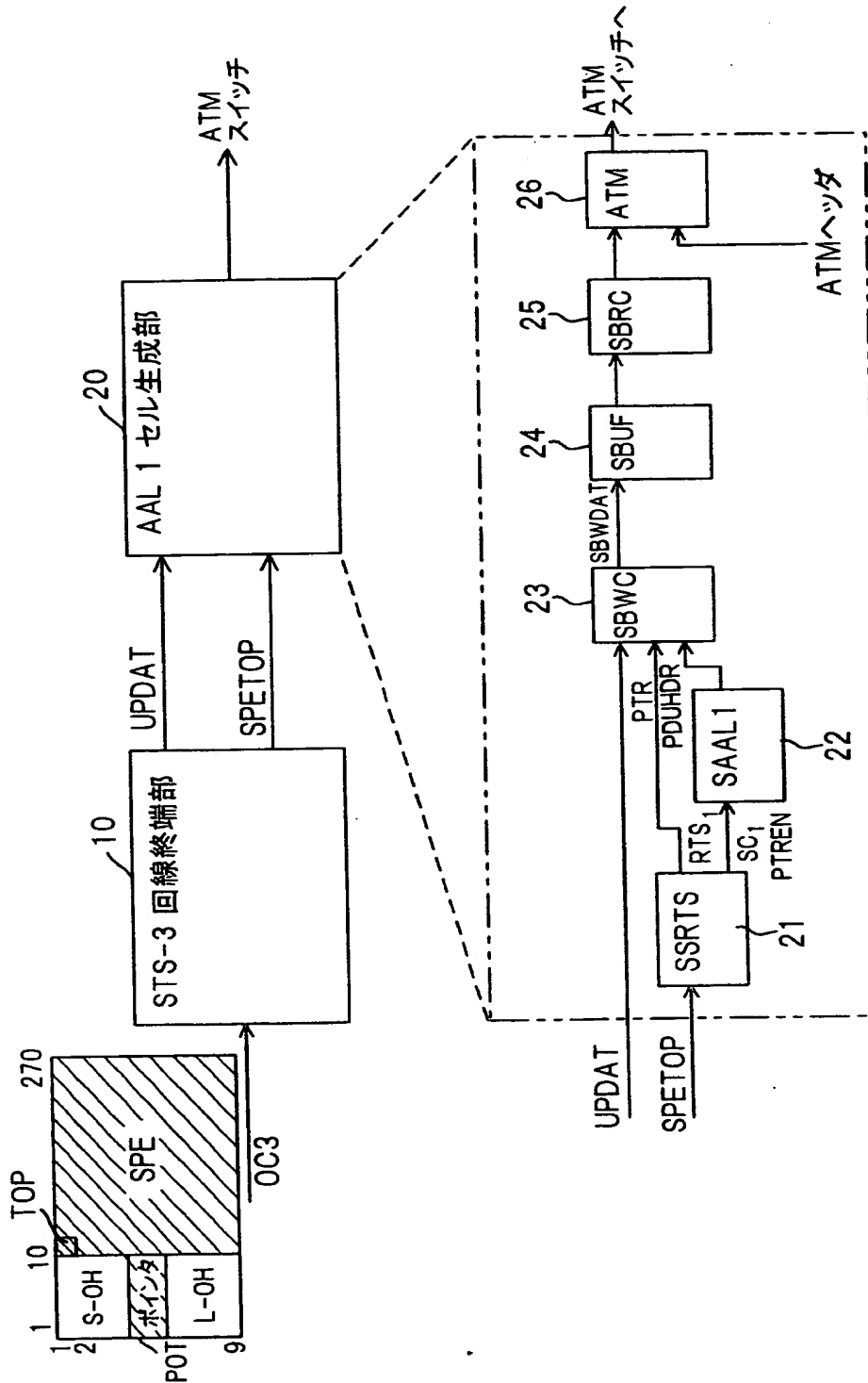
【図7】

構造データの境界識別法説明図

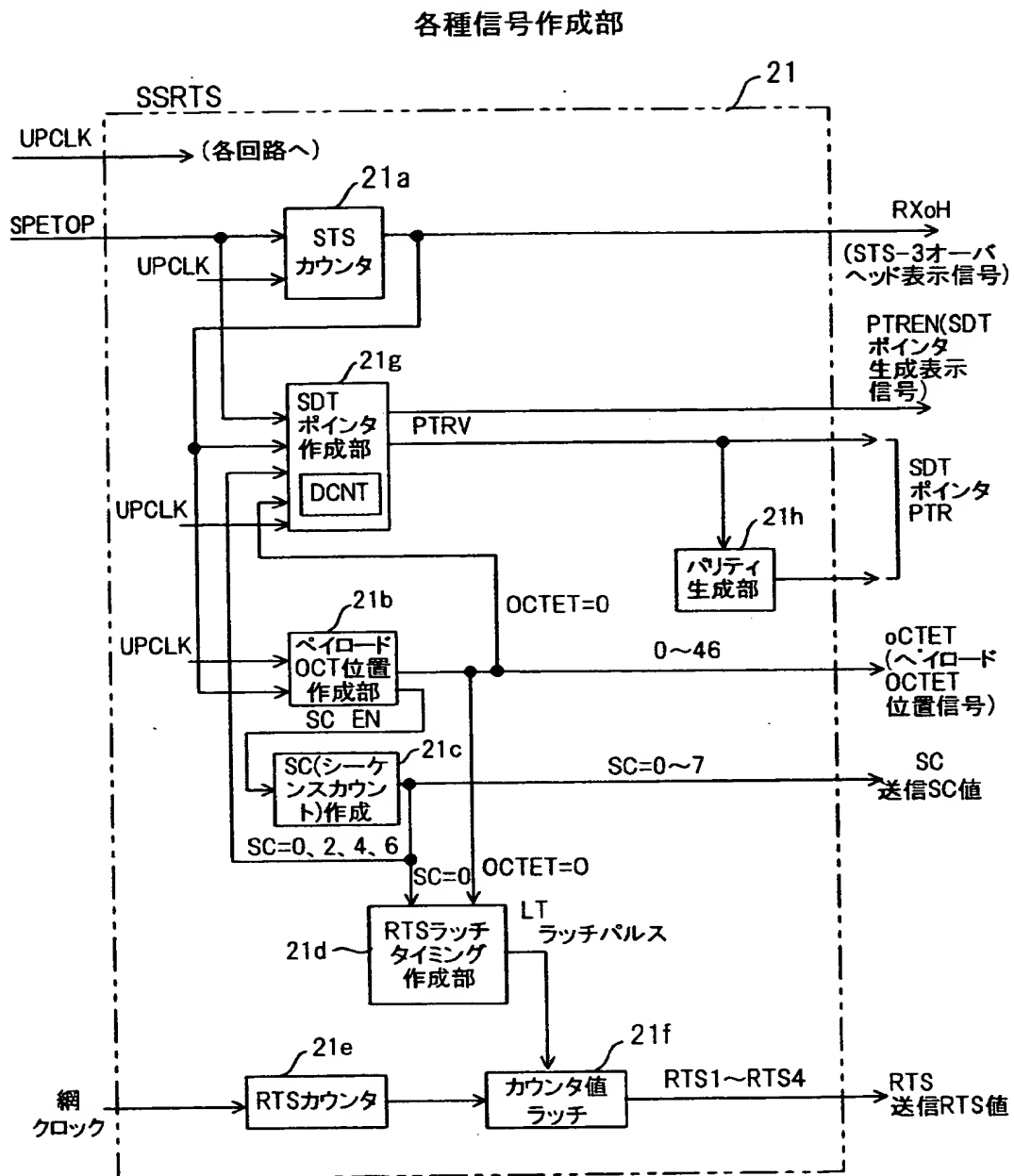


【図 8】

ATM網入口側のインタフェース装置の全体の構成

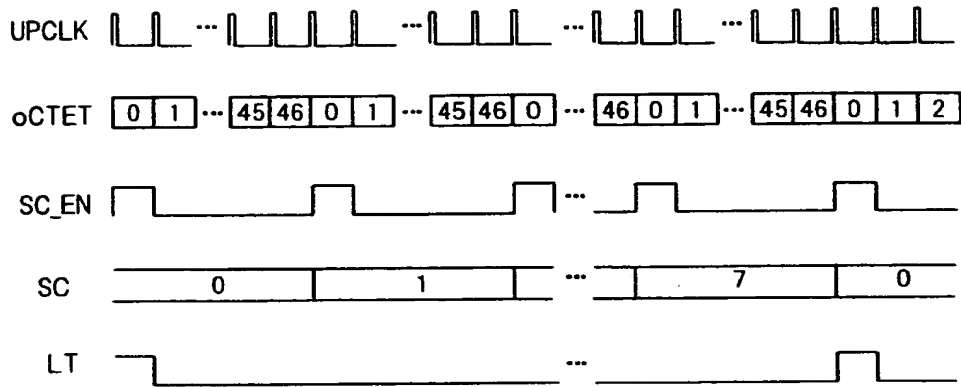


【図9】



【図 1 0】

各信号の timing



【図 1 1】

STSカウンタのカウンタ値とSTS-3フレームとの関係

TOPで通知される位置

A1#1 0	A1#2 1	A1#3 2	A2#1 3	A2#2 4	A2#3 5	J0 6	Z0#2 7	Z0#3 8	SPE 9	SPE 10	SPE 11	SPE 267	SPE 268	SPE 269
B1 270	X 271	X 272	E1 273	X 274	X 275	F1 276	X 277	X 278	SPE 279	SPE 280	SPE 281	SPE 537	SPE 538	SPE 539
D1 540	X 541	X 542	D2 543	X 544	X 545	D3 546	X 547	X 548	SPE 549	SPE 550	SPE 551	SPE 807	SPE 808	SPE 809
H1#1 810	H1#2 811	H1#3 812	H2#1 813	H2#2 814	H2#3 815	H3#1 816	H3#2 817	H3#3 818	SPE 819	SPE 820	SPE 821	SPE 1077	SPE 1078	SPE 1079
B2#1 1080	B2#2 1081	B2#3 1082	K1 1083	X 1084	X 1085	K2 1086	X 1087	X 1088	SPE 1089	SPE 1090	SPE 1091	SPE 1347	SPE 1348	SPE 1349
D4 1350	X 1351	X 1352	D5 1353	X 1354	X 1355	D6 1356	X 1357	X 1358	SPE 1359	SPE 1360	SPE 1361	SPE 1617	SPE 1618	SPE 1619
D7 1620	X 1621	X 1622	D8 1623	X 1624	X 1625	D9 1626	X 1627	X 1628	SPE 1629	SPE 1630	SPE 1631	SPE 1887	SPE 1888	SPE 1889
D10 1890	X 1891	X 1892	D11 1893	X 1894	X 1895	D12 1896	X 1897	X 1898	SPE 1899	SPE 1900	SPE 1901	SPE 2157	SPE 2158	SPE 2159
S1 2160	Z1#2 2161	Z1#3 2162	M0 2163	Z2#2 2164	Z2#3 2165	E2 2166	X 2167	X 2168	SPE 2169	SPE 2170	SPE 2171	SPE 2427	SPE 2428	SPE 2429

* 下段がSTS_CTR のcount値
* 太枠内がAAL1化対象byte(RXoH="0")

【図 1 2】

ダウンカウンタDCNTのカウント値とSTS-3フレームの関係

TOPで通知される位置



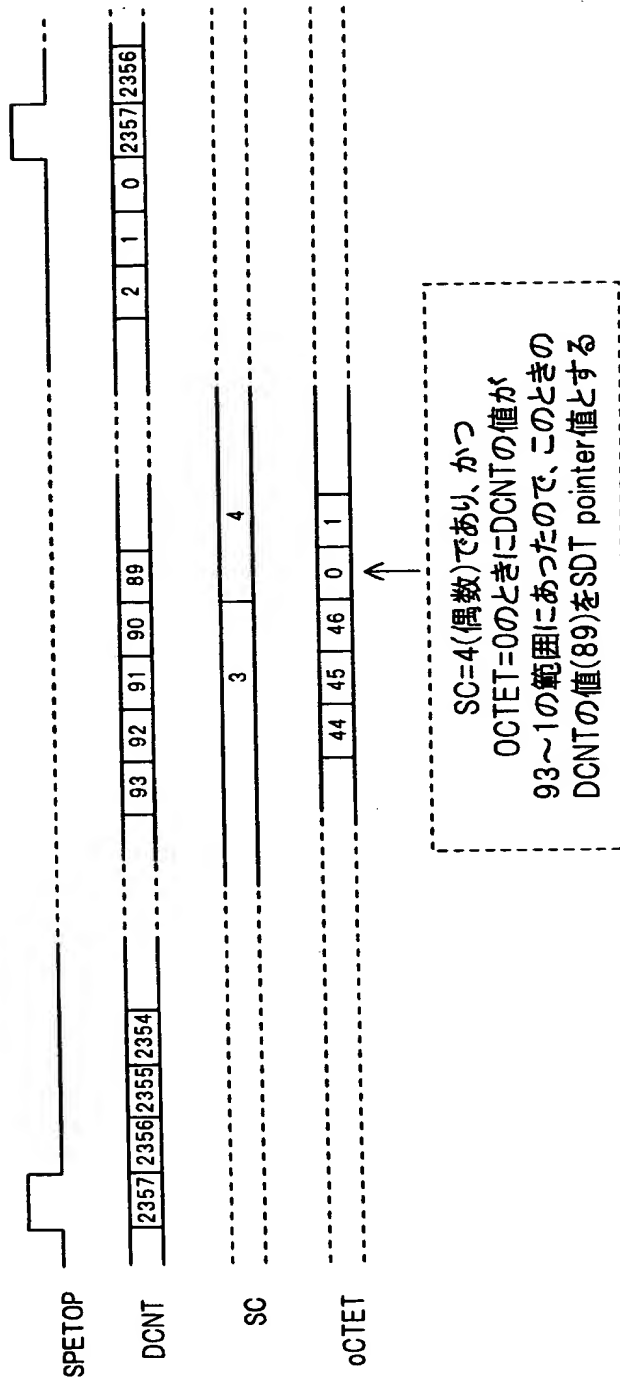
A1#1	A1#2	A1#3	A2#1	A2#2	A2#3	J0	Z0#2	Z0#3	SPE 2357	SPE 2356	SPE 2355	SPE 2099	SPE 2098	SPE 2097
B1	X	X	E1	X	X	F1	X	X	SPE 2096	SPE 2095	SPE 2094	SPE 1838	SPE 1837	SPE 1836
D1	X	X	D2	X	X	D3	X	X	SPE 1835	SPE 1834	SPE 1833	SPE 1577	SPE 1576	SPE 1575
H1#1 1574	H1#2 1573	H1#3 1572	H2#1 1571	H2#2 1570	H2#3 1569	H3#1 1568	H3#2 1567	H3#3 1566	SPE 1565	SPE 1564	SPE 1563	SPE 1307	SPE 1306	SPE 1305
B2#1	B2#2	B2#3	K1	X	X	K2	X	X	SPE 1304	SPE 1303	SPE 1302	SPE 1046	SPE 1045	SPE 1044
D4	X	X	D5	X	X	D6	X	X	SPE 1043	SPE 1042	SPE 1041	SPE 785	SPE 784	SPE 783
D7	X	X	D8	X	X	D9	X	X	SPE 782	SPE 781	SPE 780	SPE 524	SPE 523	SPE 522
D10	X	X	D11	X	X	D12	X	X	SPE 521	SPE 520	SPE 519	SPE 263	SPE 262	SPE 261
S1	Z1#2	Z1#3	M0	Z2#2	Z2#3	E2	X	X	SPE 260	SPE 259	SPE 258	SPE 2	SPE 1	SPE 0

* 下段がDCNTのcount値

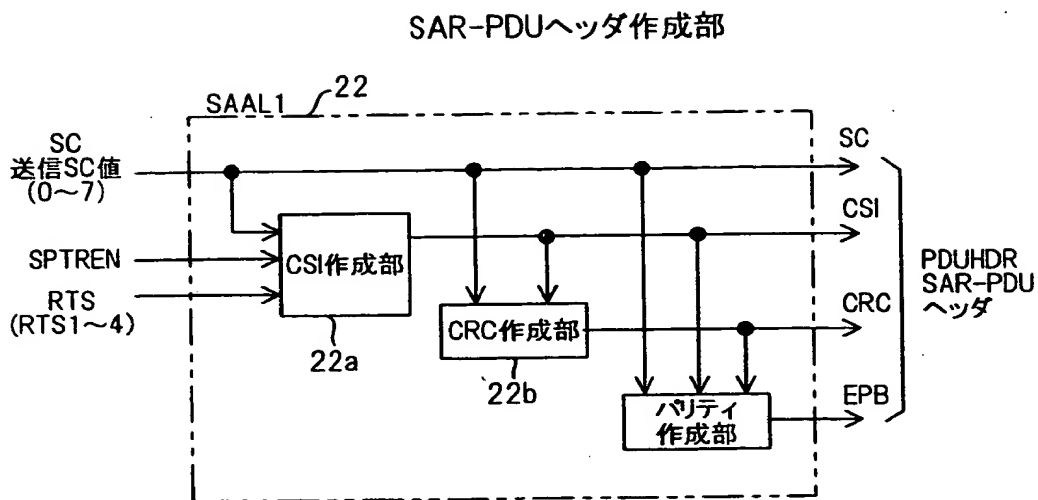
* 太枠内がAAL1化対象byte(RXoH="0")

【図 1 3】

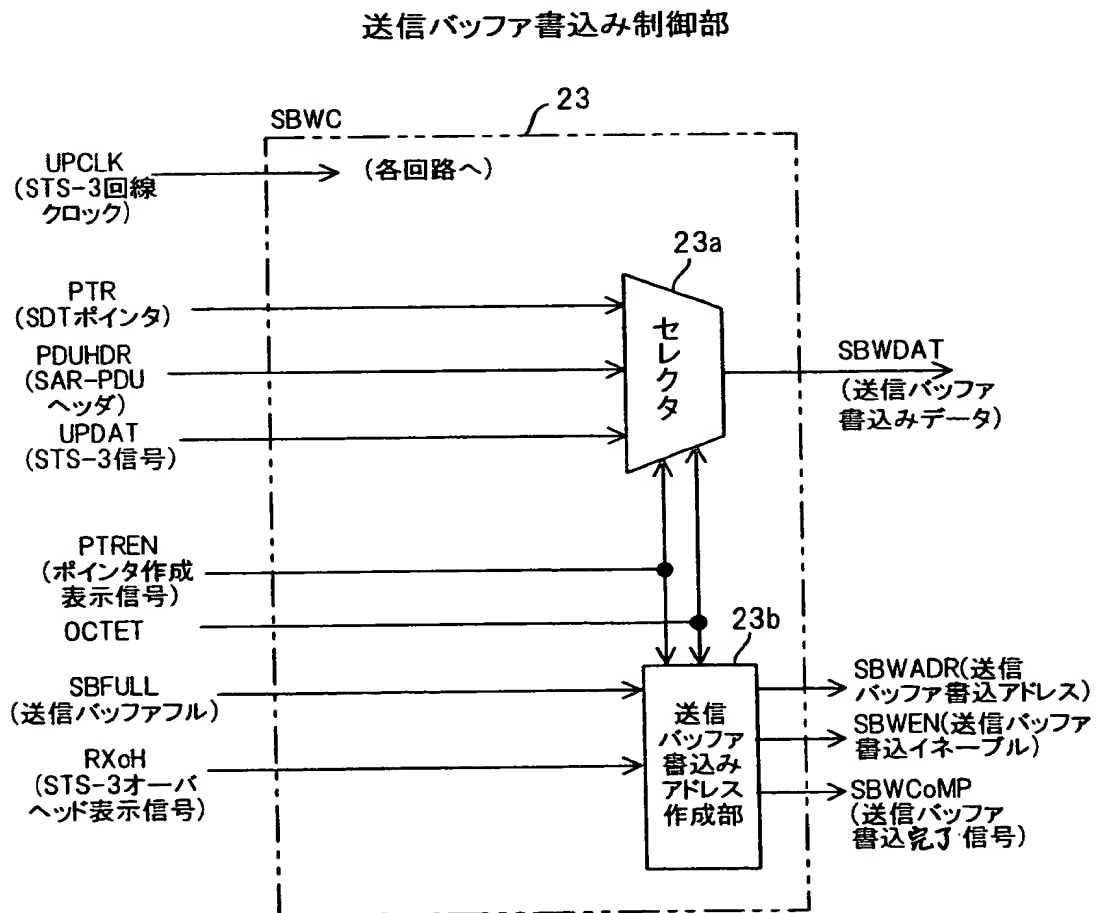
SDTポインタの生成説明図



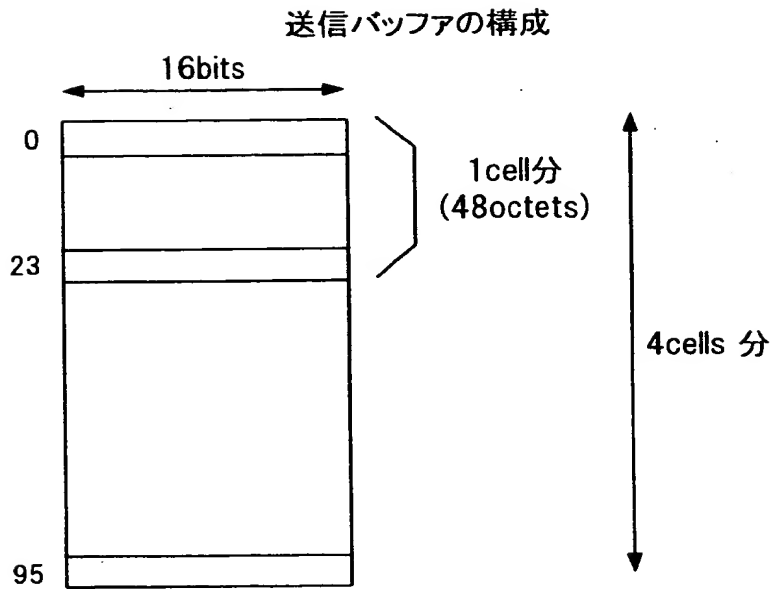
【図 14】



【図 15】

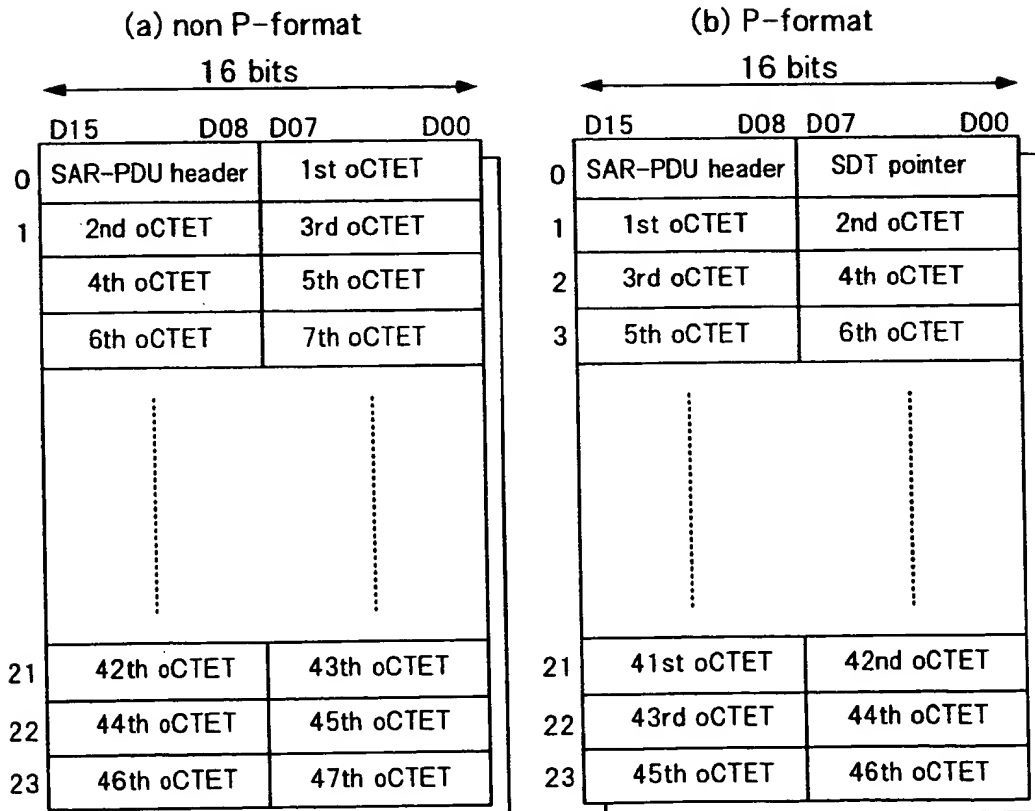


【図 16】

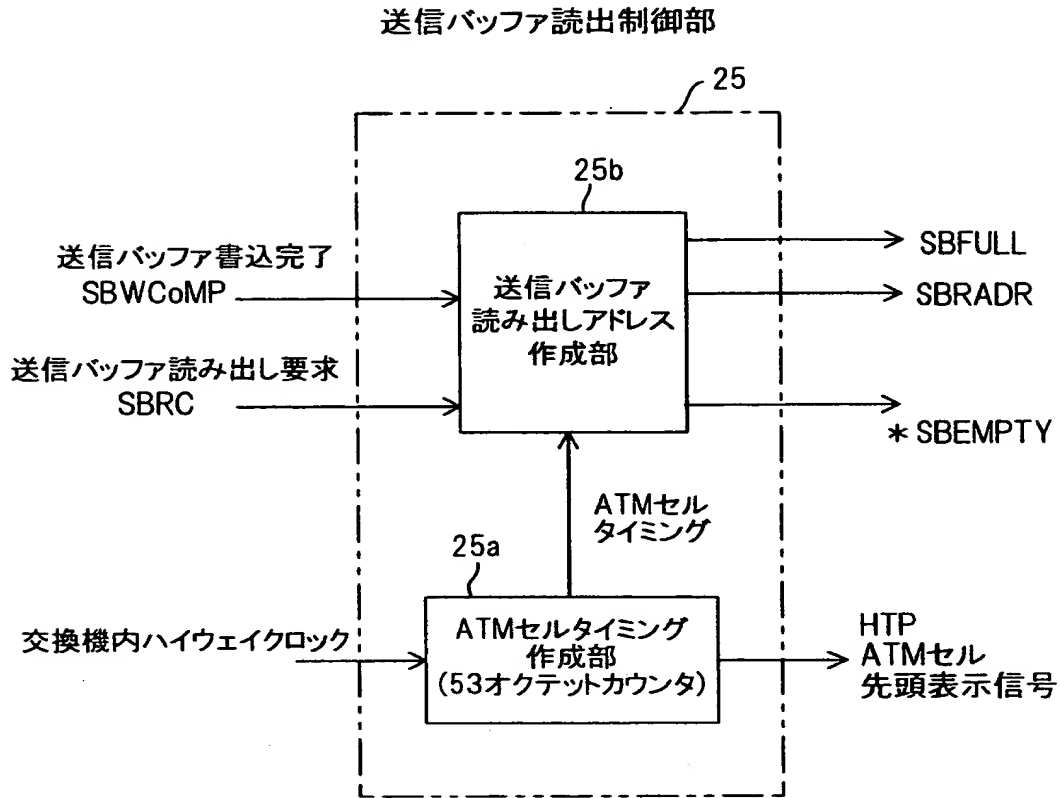


【図 17】

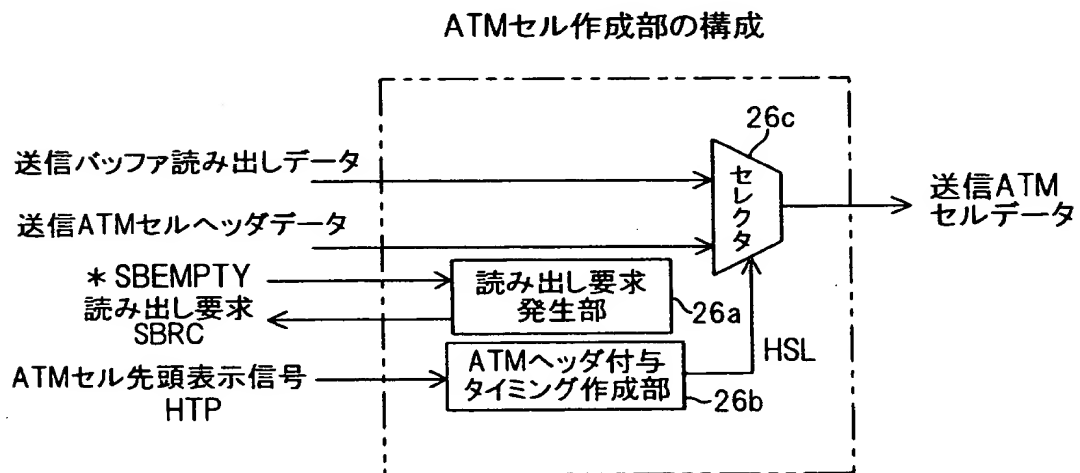
SAR-PDUのSBUFへのmapping



【図 18】

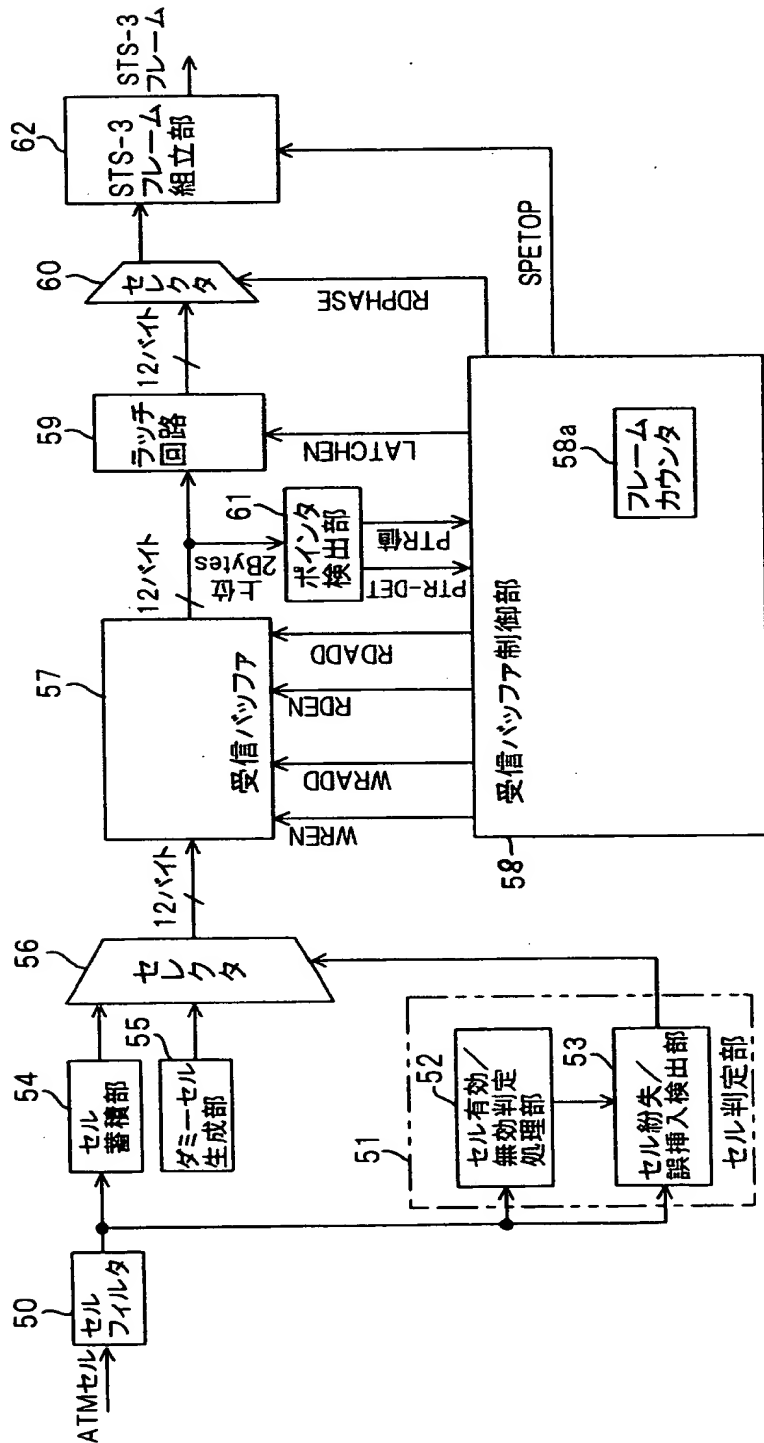


【図 19】



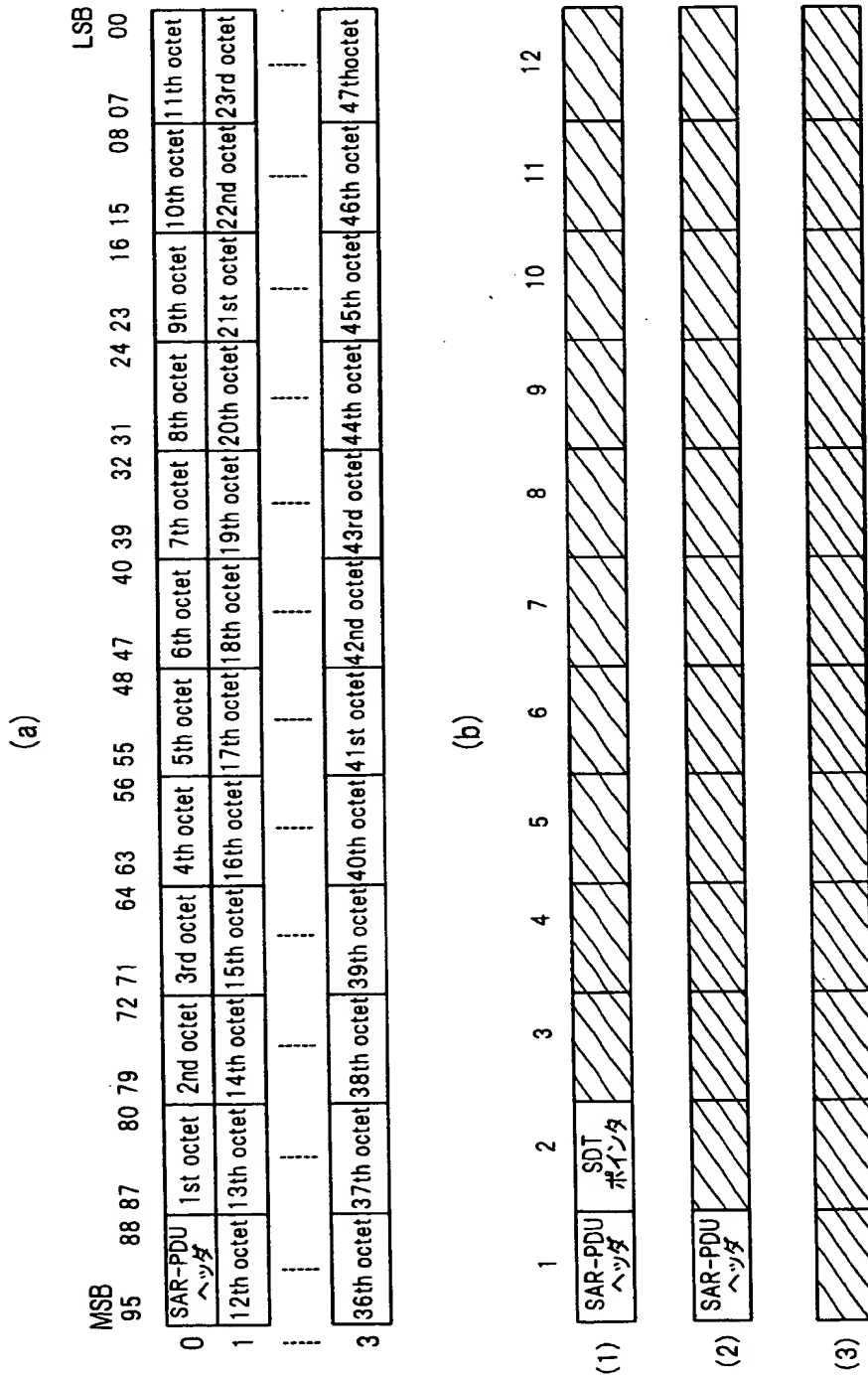
【図20】

ATM網出口側のインタフェース装置の全体の構成



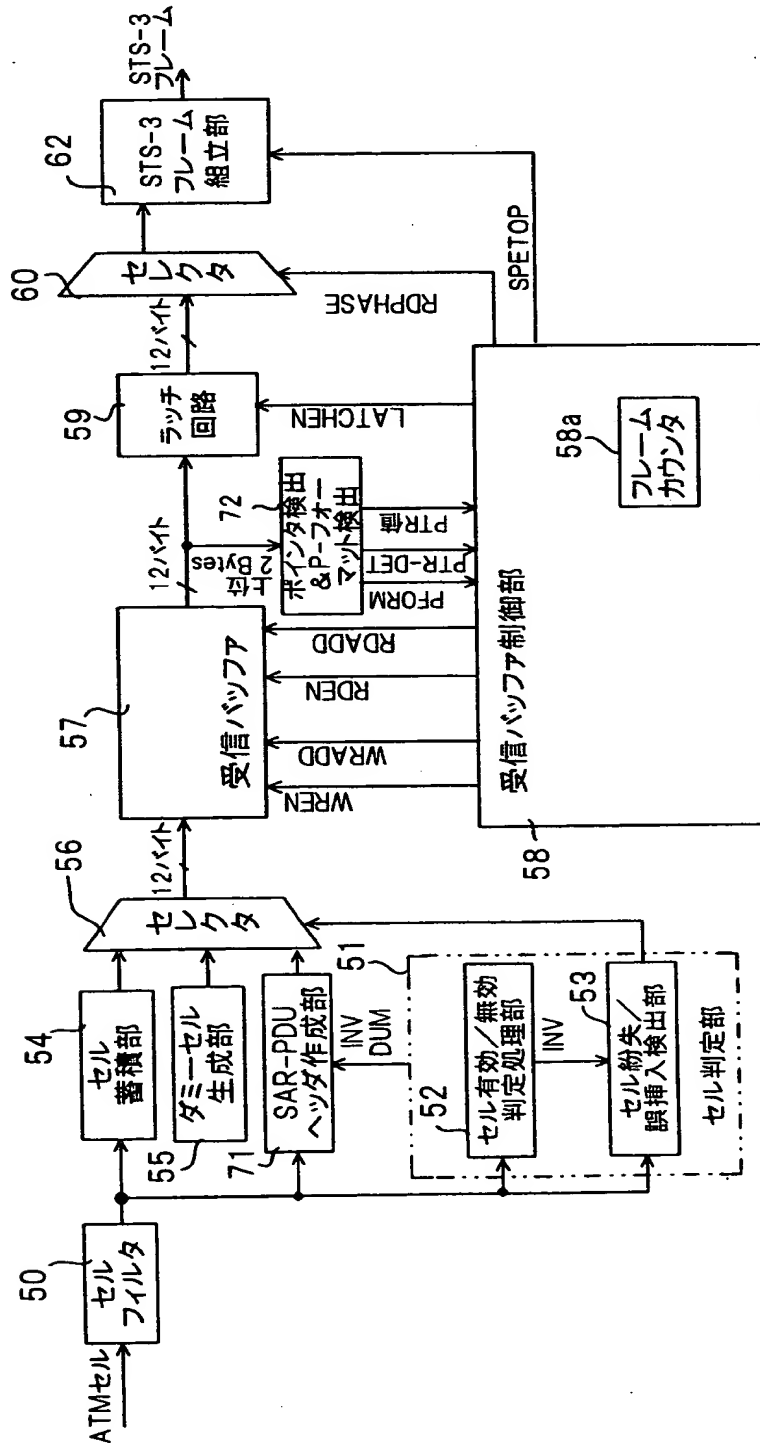
【図 21】

受信バッファへの書き込み／受信バッファからの読み出し説明図



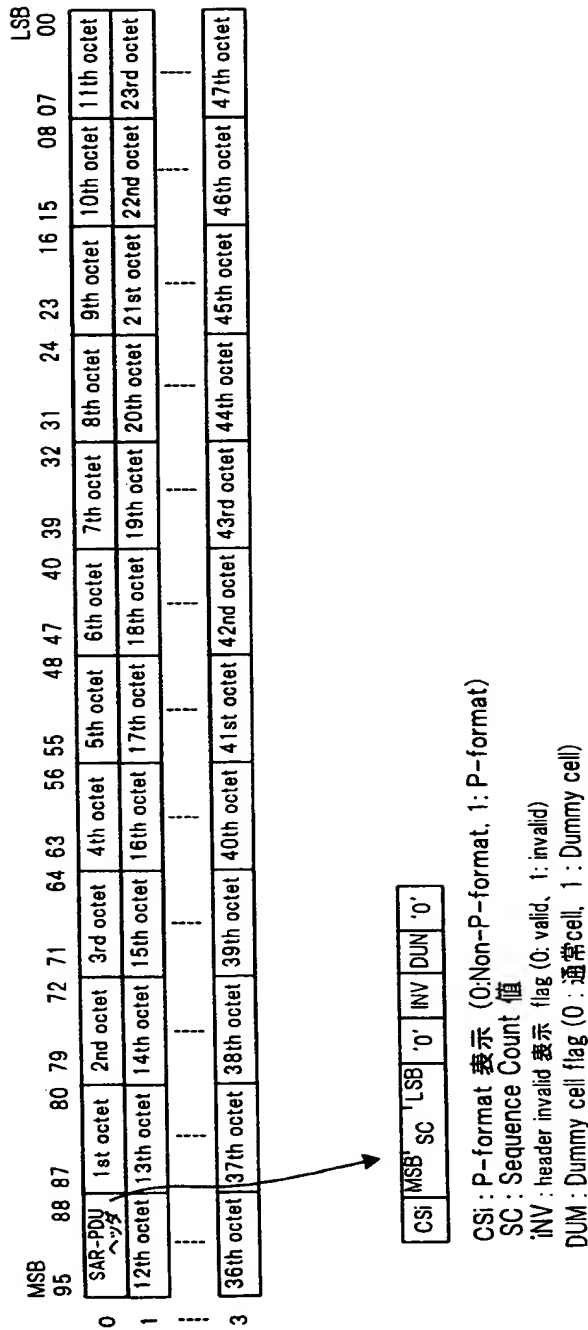
【図 22】

帯域調整機能を備えたATM網出口側のインタフェース装置の構成図



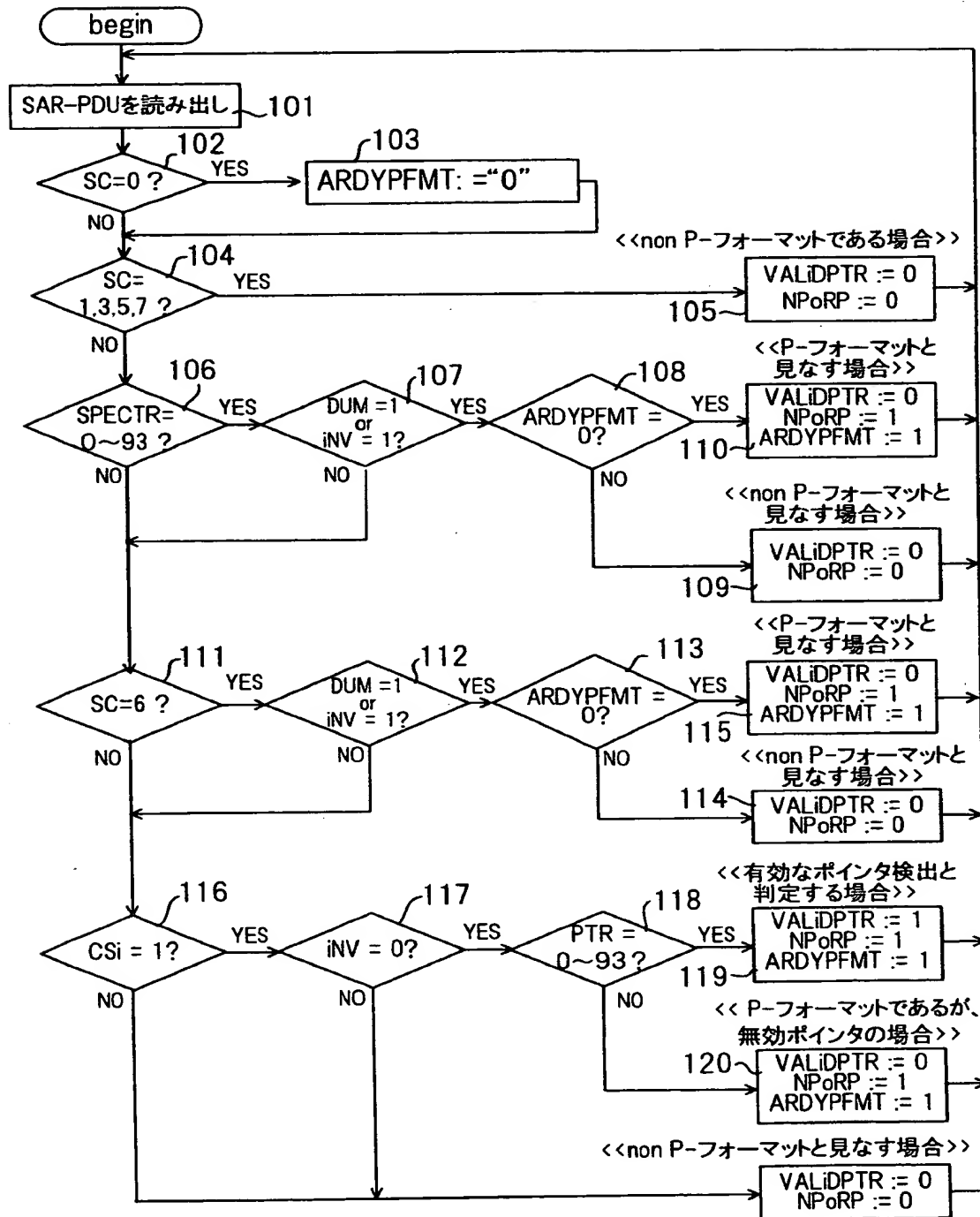
【図 2 3】

セクタ出力説明図



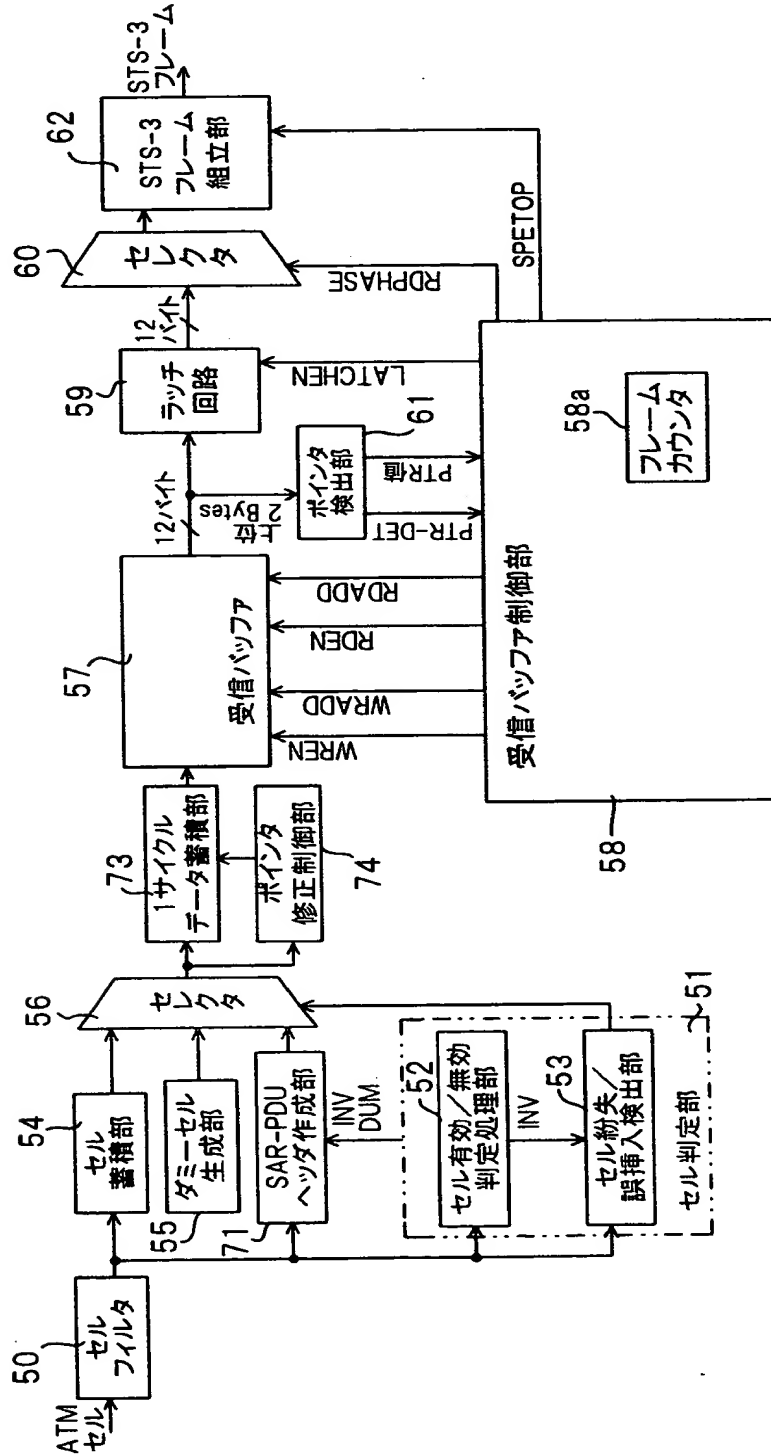
【図 24】

ポインタ検出/P-format cell 判定処理フロー



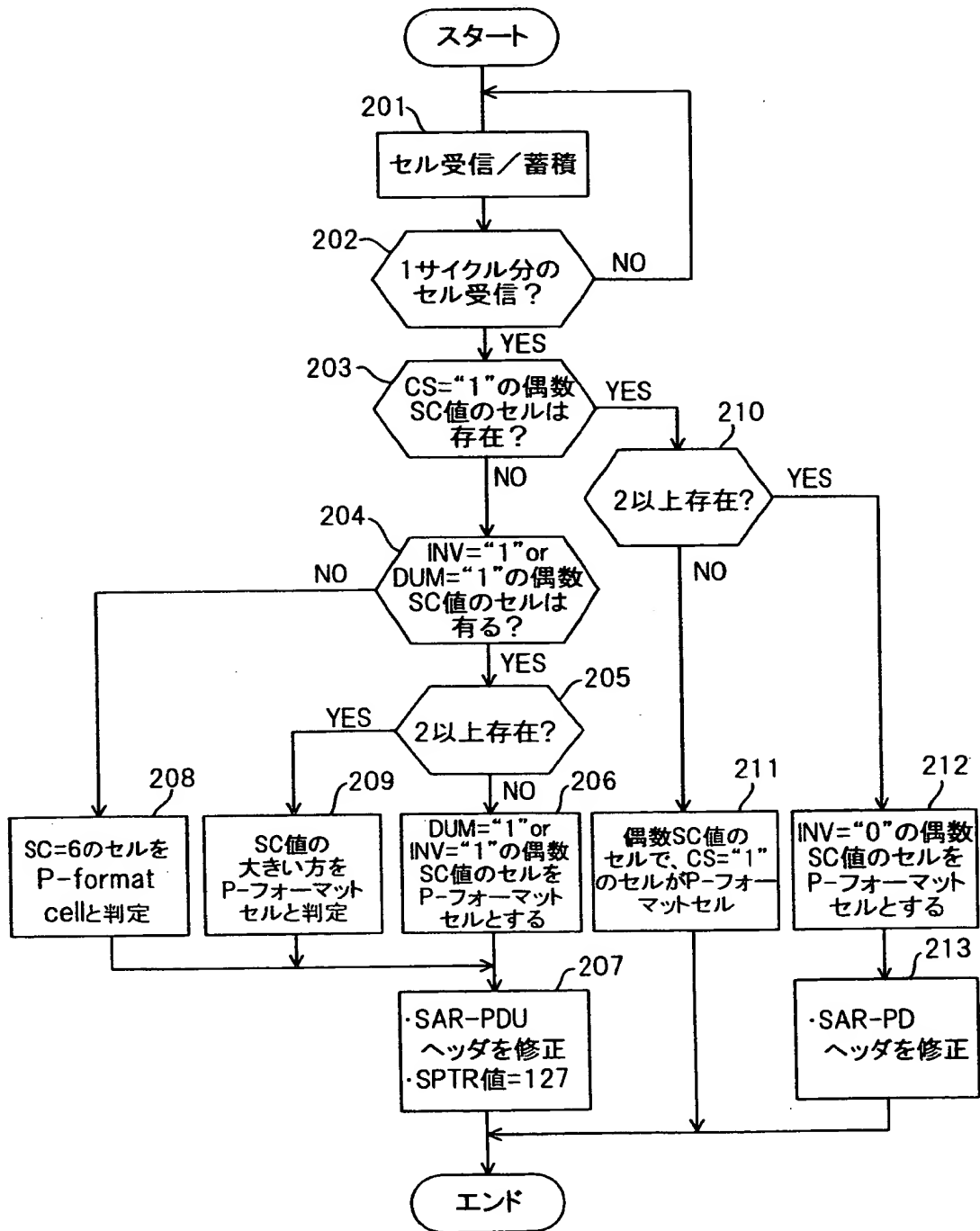
【図 25】

帯域調整機能を備えたATM網出口側インタフェース装置の別の構成図



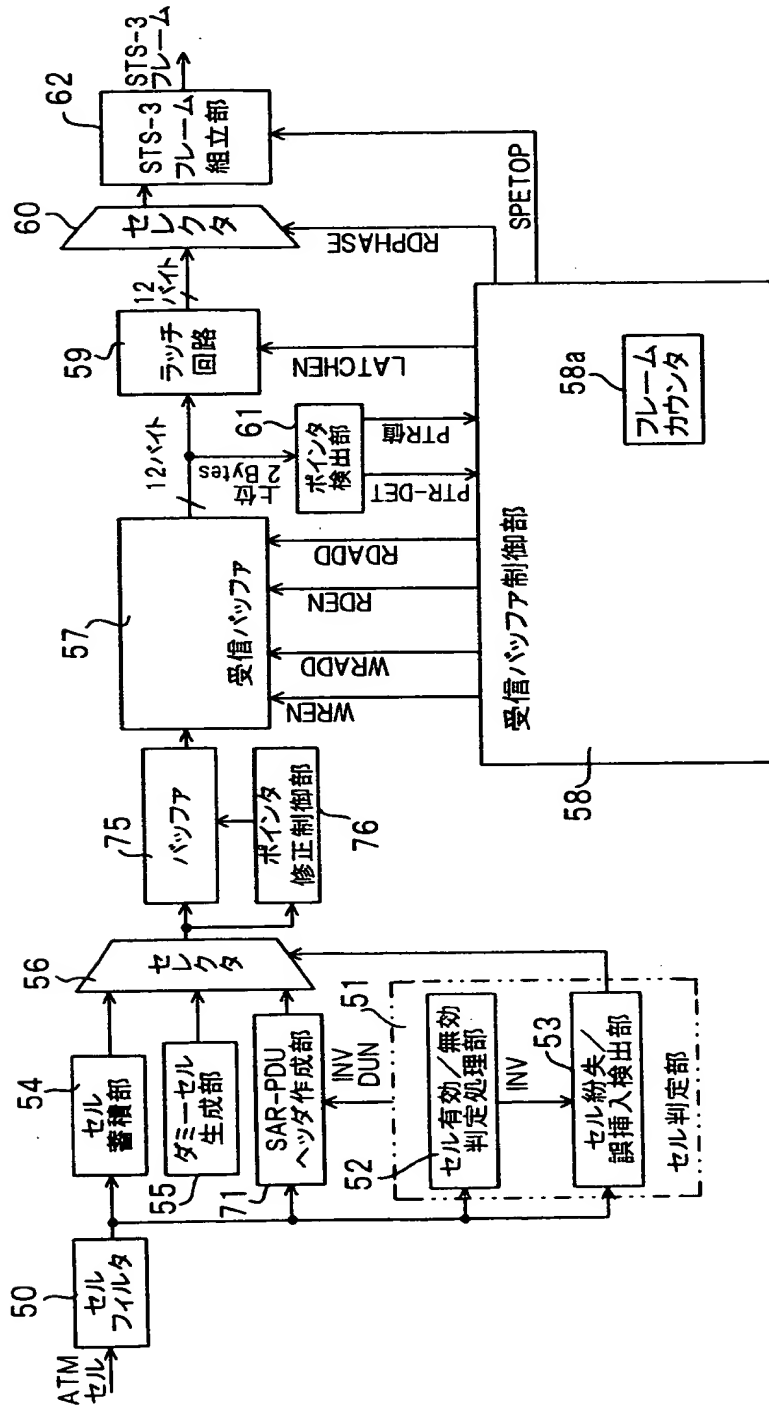
【図 26】

ポインタ修正処理フロー



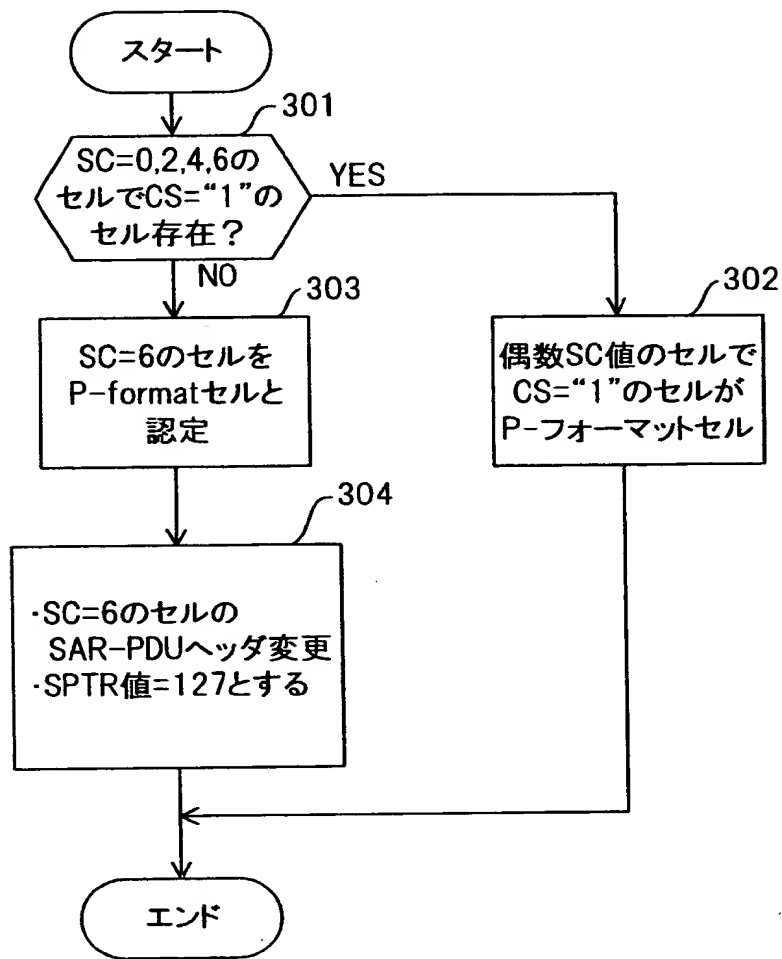
【図 27】

帯域調整機能を備えたATM網出口側
インタフェース装置の第3の実施例



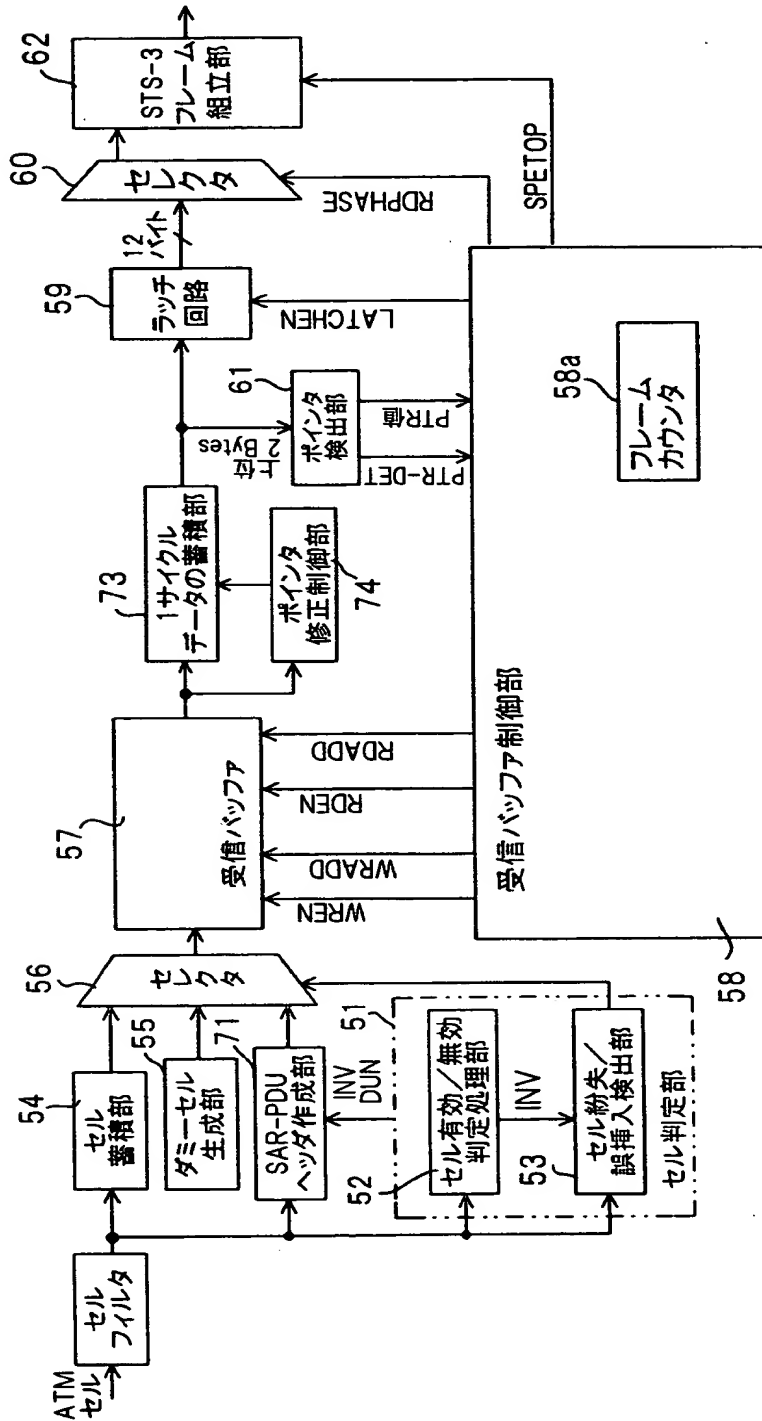
【図 28】

ポインタ修正処理フロー



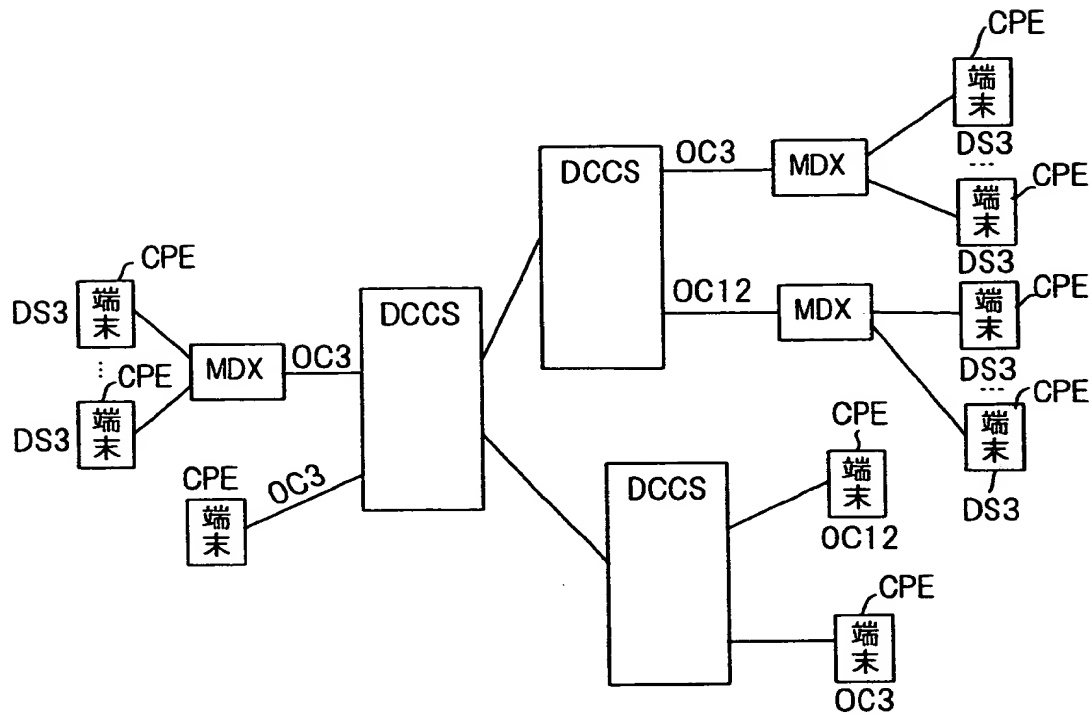
【図 29】

帯域調整機能を備えたATM網出口側
インタフェース装置の第4の実施例



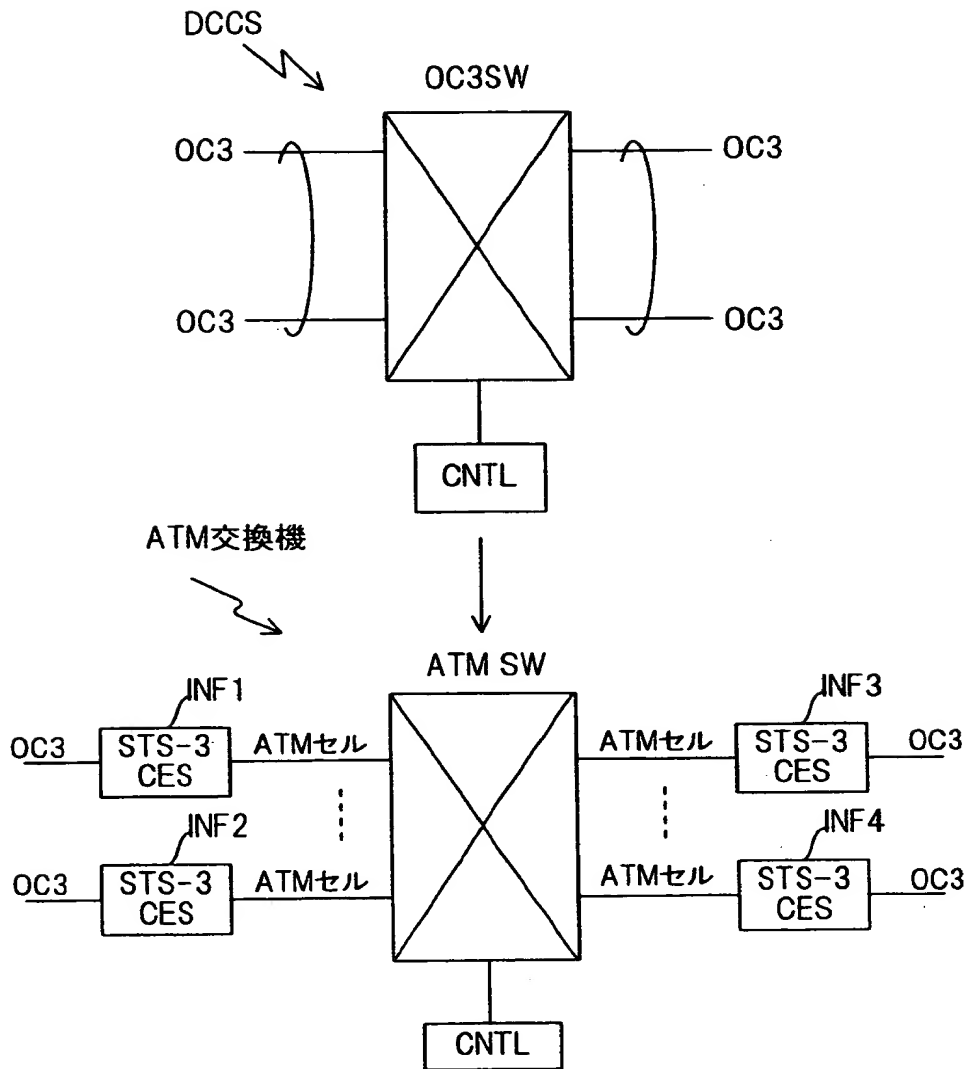
【図 3 0】

SONET系の伝送路で構成される専用線サービス網



【図 3 1】

CE機能を備えたATM交換機



【書類名】 要約書

【要約】

【課題】 伝送帯域を小さくすると共にフレームを組み立てれるようにする。

【解決手段】 フレームに多重された低速ビットレートのデータブロックの先頭位置を示すオーバーヘッドデータPOTとペイロードSPEを少なくともセル化範囲と定め、セル化範囲の先頭位置TOPを基準位置とする。セル化手段23はセル化範囲のデータをセル化すると共に、基準位置を特定するポインタを所定のセルに含ませる。すなわち、セル化手段23は、(1)ポインタが存在すれば、第1番目にSAR-PDUヘッダPDUHD、第2番目にポインタPTR、以降にセル化範囲のデータUPDATを配列して1セルのペイロード部を作成し、(2)ポインタが存在しなければ、第1番目にSAR-PDUヘッダ、第2番目以降にセル化範囲のデータを配列して1セルのペイロード部を作成する。

【選択図】 図8

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 1 1 7 8 8 6
受付番号	5 0 0 0 0 4 9 3 7 8 8
書類名	特許願
担当官	宇留間 久雄 7 2 7 7
作成日	平成 1 2 年 4 月 2 6 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
【氏名又は名称】	富士通株式会社
【代理人】	申請人
【識別番号】	100084711
【住所又は居所】	千葉県千葉市花見川区幕張本郷 1 丁目 1 4 番 1 0 号 幸栄パレス 2 0 2 齋藤特許事務所
【氏名又は名称】	齋藤 千幹

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社